

Docket No. 220327US2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuhiko MATSUNAGA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2001-061489

MONTH/DAY/YEAR

March 6, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本国特許庁  
JAPAN PATENT OFFICE

#3 0-2  
4/23/02  
jc997 U.S. PTO  
10/090995



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月 6日

出願番号

Application Number:

特願2001-061489

[ST.10/C]:

[JP2001-061489]

出願人

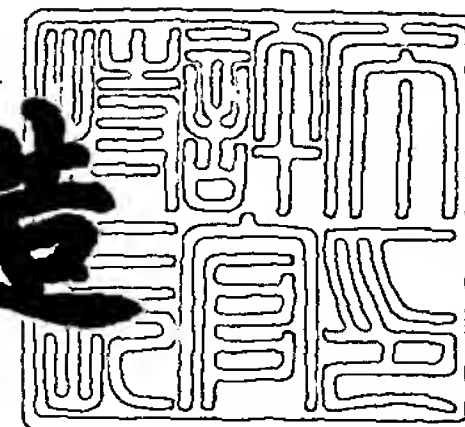
Applicant(s):

株式会社東芝

2002年 2月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3003264

【書類名】 特許願

【整理番号】 01P028

【提出日】 平成13年 3月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 17

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 松永 泰彦

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 八重樫 利武

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 荒井 史隆

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 白田 理一郎

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100092820

    【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 電荷蓄積層と制御ゲートが積層されたメモリトランジスタが複数個直列接続され、その一端が第 1 の選択ゲートトランジスタを介してビット線に、他端が第 2 の選択ゲートトランジスタを介して共通ソース線に接続された NAND セルを有し、

NAND セルの選択されたメモリトランジスタの制御ゲートに書き込み電圧を印加し、その両隣の非選択メモリトランジスタの制御ゲートにビット線に与えられるデータに応じてチャネルをオン、オフするための基準電圧を印加して、選択されたメモリトランジスタでデータ書き込みを行う書き込みモードを有する不揮発性半導体記憶装置において、

前記データ書き込みモードにおいて、ビット線側から第 2 番目のメモリトランジスタが選択されたときに、この第 2 番目のメモリトランジスタの制御ゲートに書き込み電圧を印加し、ビット線側から第 3 番目の非選択メモリトランジスタの制御ゲートに基準電圧を印加し、ビット線側から第 1 番目の非選択メモリトランジスタの制御ゲートには前記書き込み電圧より低く且つ前記基準電圧より高い第 1 の中間電圧を印加し、残りの非選択メモリトランジスタの少なくとも一つの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第 2 の中間電圧を印加するようにした

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記残りの非選択メモリトランジスタの全ての制御ゲートに前記第 2 の中間電圧を印加するようにした

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記データ書き込みモードにおいて、共通ソース線側から第 2 番目のメモリトランジスタが選択されたときに、この第 2 番目のメモリトランジスタの制御ゲートに書き込み電圧を印加し、共通ソース線側から第 3 番目の非選択メモリトランジスタの制御ゲートに基準電圧を印加し、共通ソース線側から第 1 番目の非選択メモリトランジスタの制御ゲートには前記第 1 の中間電圧を印

加し、残りの非選択メモリトランジスタの少なくとも一つの制御ゲートに前記第 2 の中間電圧を印加するようにした

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記残りの非選択メモリトランジスタの全ての制御ゲートに前記第 2 の中間電圧を印加するようにした

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 電荷蓄積層と制御ゲートが積層されたメモリトランジスタが複数個直列接続され、その一端が第 1 の選択ゲートトランジスタを介してビット線に、他端が第 2 の選択ゲートトランジスタを介して共通ソース線に接続された NANDセルを有し、

NANDセルの選択されたメモリトランジスタの制御ゲートに書き込み電圧を印加し、その両隣の非選択メモリトランジスタの制御ゲートにビット線に与えられるデータに応じてチャネルをオン、オフするための基準電圧を印加して、選択されたメモリトランジスタでデータ書き込みを行う書き込みモードを有する不揮発性半導体記憶装置において、

前記データ書き込みモードにおいて、共通ソース線側から第 2 番目のメモリトランジスタが選択されたときに、この第 2 番目のメモリトランジスタの制御ゲートに書き込み電圧を印加し、共通ソース線から第 3 番目の非選択メモリトランジスタの制御ゲートに基準電圧を印加し、共通ソース線側から第 1 番目の非選択メモリトランジスタの制御ゲートには前記書き込み電圧より低く且つ前記基準電圧より高い第 1 の中間電圧を印加し、残りの非選択メモリトランジスタの少なくとも一つの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第 2 の中間電圧を印加するようにした

ことを特徴とする不揮発性半導体記憶装置。

【請求項 6】 前記第 2 の中間電圧は、第 1 の中間電圧と等しく設定されている

ことを特徴とする請求項 1 乃至 5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 7】 前記第 2 の中間電圧は、第 1 の中間電圧と異なる値に設定されている



ことを特徴とする請求項 1 乃至 5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 8】 それぞれ異なるビット線に接続される行方向に並ぶ複数の NANDセルは、第 1 の選択ゲートトランジスタのゲートが第 1 の選択ゲート線に共通接続され、第 2 の選択ゲートトランジスタのゲートが第 2 の選択ゲート線に共通接続され、それぞれ対応するメモリトランジスタの制御ゲートが制御ゲート線に共通接続されて NANDセルブロックが構成され、

前記書き込みモードは、各ビット線に与えられたデータに応じて各 NANDセルのチャネルをプリチャージした後、選択された制御ゲート線に沿った複数のメモリトランジスタで一括書き込みを行うものであって、ビット線側から第 2 番目の制御ゲート線が選択されたときに、この第 2 番目の制御ゲート線に前記書き込み電圧を印加し、ビット線から第 3 番目の制御ゲート線に前記基準電圧を印加し、ビット線側から第 1 番目の制御ゲート線には前記第 1 の中間電圧を印加し、残りの制御ゲート線の少なくとも一つに前記第 2 の中間電圧を印加するようにしたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】 それぞれ異なるビット線に接続される行方向に並ぶ複数の NANDセルは、第 1 の選択ゲートトランジスタのゲートが第 1 の選択ゲート線に共通接続され、第 2 の選択ゲートトランジスタのゲートが第 2 の選択ゲート線に共通接続され、それぞれ対応するメモリトランジスタの制御ゲートが制御ゲート線に共通接続されて NANDセルブロックが構成され、

前記書き込みモードは、各ビット線に与えられたデータに応じて各 NANDセルのチャネルをプリチャージした後、選択された制御ゲート線に沿った複数のメモリトランジスタで一括書き込みを行うものであって、共通ソース線側から第 2 番目の制御ゲート線が選択されたときに、この第 2 番目の制御ゲート線に前記書き込み電圧を印加し、共通ソース線から第 3 番目の制御ゲート線に前記基準電圧を印加し、共通ソース線側から第 1 番目の制御ゲート線には前記第 1 の中間電圧を印加し、残りの制御ゲート線の少なくとも一つに前記第 2 の中間電圧を印加するようにした

ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 1 0】 前記書き込みモードに先立って、NANDセルブロック内

の全メモリセルを一括して、しきい値電圧の低い第1データの状態に設定する消去モードを有し、

前記書き込みモードは、一括消去された各NANDセルのチャネルに前記ビット線から書き込むべき第1及び第2データに応じてプリチャージを行い、第1データが与えられたNANDセルでは、選択された制御ゲート線に沿うメモリトランジスタのチャネルをフローティング状態として前記書き込み電圧が印加されたときに制御ゲートからの容量結合によりチャネルを昇圧させて電荷蓄積層への電荷注入を禁止し、第2データが与えられたNANDセルでは、選択された制御ゲート線に沿うメモリトランジスタのチャネルを低電圧に保持してトンネル電流により電荷蓄積層に電荷を注入するものである

ことを特徴とする請求項8又は9記載の不揮発性半導体記憶装置。

【請求項11】 電荷蓄積層と制御ゲートが積層されたメモリトランジスタが複数個直列接続され、その一端が第1の選択ゲートトランジスタを介してビット線に、他端が第2の選択ゲートトランジスタを介して共通ソース線に接続されたNANDセルを有し、

NANDセルのビット線からK番目の選択されたメモリトランジスタの制御ゲートに書き込み電圧を印加し、その選択されたメモリトランジスタとこれに隣接する少なくとも一つの非選択メモリトランジスタを両側から挟むようにビット線からK-m番目及びビット線からK+n番目（但し、m, nは正の整数で少なくとも一方が2以上）の二つの非選択メモリトランジスタの制御ゲートにビット線に与えられるデータに応じてチャネルをオン、オフする基準電圧を印加し、前記二つの非選択メモリトランジスタに挟まれた範囲内の非選択メモリトランジスタの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第1の中間電圧を印加し、K-m番目よりビット線側及びK+n番目より共通ソース線側にある少なくとも一つずつの非選択メモリトランジスタの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第2の中間電圧を印加して、選択されたメモリトランジスタでデータ書き込みを行う書き込みモードを有することを特徴とする不揮発性半導体記憶装置。

【請求項12】 K=2のとき、選択されたメモリトランジスタよりビット



線側のメモリトランジスタの制御ゲートには第1又は第2の中間電圧を印加するようにした

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項13】 Kが共通ソース線から2番目であるとき、選択されたメモリトランジスタより共通ソース線側のメモリトランジスタの制御ゲートには第1又は第2の中間電圧を印加するようにした

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項14】  $K - m$ 番目よりビット線側及び $K + n$ 番目より共通ソース線側にある全ての非選択メモリトランジスタの制御ゲートに第2の中間電圧を印加するようにした

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項15】 第1の中間電圧は、第2の中間電圧と等しく設定されている

ことを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項16】 第1の中間電圧は、第2の中間電圧と異なる値に設定されている

ことを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項17】 それぞれ異なるビット線に接続される行方向に並ぶ複数のNANDセルは、第1の選択ゲートトランジスタのゲートが第1の選択ゲート線に共通接続され、第2の選択ゲートトランジスタのゲートが第2の選択ゲート線に共通接続され、それぞれ対応するメモリトランジスタの制御ゲートが制御ゲート線に共通接続されてNANDセルブロックが構成され、

前記書き込みモードは、各ビット線に与えられたデータに応じて各NANDセルのチャネルをプリチャージした後、選択された制御ゲート線に沿った複数のメモリトランジスタで一括書き込みを行うものであって、

ビット線からK番目の制御ゲート線が選択されたときに、その選択された制御ゲート線とこれに隣接する少なくとも一つの非選択の制御ゲート線を両側から挟

むようにビット線から  $K - m$  番目及びビット線から  $K + n$  番目（但し、 $m$ 、 $n$  は正の整数で少なくとも一方が 2 以上）の二つの非選択制御ゲート線に基準電圧を印加し、前記二つの非選択制御ゲート線に挟まれた範囲内の非選択制御ゲート線に第 1 の中間電圧を印加し、 $K - m$  番目よりビット線側及び  $K + n$  番目より共通ソース線側にある少なくとも一つずつの非選択制御ゲート線に第 2 の中間電圧を印加するようにした

ことを特徴とする請求項 1 1 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（E E P R O M）に係り、特に N A N D 型のセルアレイ構成を用いる E E P R O M に関する。

【 0 0 0 2 】

【従来の技術】

従来より、高集積化が可能な E E P R O M として、N A N D 型フラッシュ E E P R O M が知られている。N A N D 型フラッシュ E E P R O M のメモリトランジスタは半導体基板上に絶縁膜を介して電荷蓄積層（浮遊ゲート）と制御ゲートが積層形成されたスタックゲート構造を有している。複数個のメモリトランジスタは、隣接するもの同士でソース若しくはドレインを共有する形で直列接続され、その両端に選択ゲートトランジスタを配置して、N A N D セルユニットが構成される。

【 0 0 0 3 】

メモリトランジスタは、浮遊ゲートの電荷蓄積状態により、データを不揮発に記憶する。具体的に、浮遊ゲートにチャネルから電子を注入したしきい値電圧の高い状態を例えばデータ“0”、浮遊ゲートの電子をチャネルに放出させたしきい値電圧の低い状態をデータ“1”として、2 値データ記憶を行う。最近では、しきい値分布制御をより細分化することで、4 値記憶等の多値記憶方式も行われている。

【 0 0 0 4 】

データ書き込みに際しては、予めNANDセルブロック内を一括してデータ消去する。これは、選択されたNANDセルブロックの全制御ゲート線（ワード線）を $V_{ss}$ とし、セルアレイのp型ウェルに昇圧された正電圧 $V_{era}$ （消去電圧）を与えて、浮遊ゲートの電子をチャンネルに放出させることにより行われる。これにより、NANDセルブロックのデータはオール“1”状態（消去状態）になる。

## 【0005】

データ書き込みは、上述した一括データ消去後に、ソース側から順に、選択された制御ゲート線に沿う複数のメモリトランジスタ（これを通常、1ページという）に対して一括して行われる。選択されたワード線に昇圧された正の書き込み電圧 $V_{pgm}$ を与えると、“0”データの場合はチャンネルから浮遊ゲートに電子が注入され（いわゆる“0”書き込み）、“1”データの場合は電子注入が禁止されて（いわゆる書き込み禁止若しくは“1”書き込み）、データ書き込みが行われる。

## 【0006】

以上のような制御ゲート線に沿ったメモリトランジスタでの一括データ書き込みに際して、データに応じてメモリトランジスタのチャンネル電位を制御することが必要である。例えば、データ“0”の場合には、チャンネル電位を低く保ち、制御ゲートに書き込み電圧が印加されたときに、浮遊ゲート下のゲート絶縁膜に大きな電界がかかるようにする。“1”データ書き込み（即ち書き込み禁止）の場合は、チャンネル電位を昇圧して浮遊ゲートへの電子注入を禁止する。

## 【0007】

上述したデータ書き込みの際のチャンネル電位制御の方式には種々あるが、“1”データ書き込みの場合にチャンネルをフローティング状態として、制御ゲートからの容量結合によりチャンネル電位を昇圧するセルフブースト方式が従来より知られている。即ち、制御ゲート線に書き込み電圧を印加する前に、ビット線にデータ“0”，“1”に応じて $V_{ss}$ ， $V_{dd}$ を与え、ビット線側の選択ゲートトランジスタをオン、ソース側選択ゲートトランジスタをオフして、“0”データの場合NANDセルのチャンネルには、 $V_{ss}$ を転送する。“1”データの場合は、

NANDセルのチャネルを、選択ゲートトランジスタのゲートに与えられる電圧（例えば $V_{dd} + \alpha$ ）から選択ゲートトランジスタのしきい値電圧分低下した電位までプリチャージして、フローティングにする。

## 【 0 0 0 8 】

この後、選択された制御ゲート線に書き込み電圧を印加すると、“0”データの場合、チャネルが $V_{ss}$ の低電位に固定されているため、浮遊ゲート下のゲート絶縁膜に大きな電界がかかって、浮遊ゲートに電子がトンネル注入される。“1”データのメモリトランジスタについては、フローティングのチャネルが制御ゲートからの容量結合により電位上昇する。具体的に選択された制御ゲート線に印加された一つの書き込み電圧（例えば20V）と、非選択の制御ゲート線に印加された複数の中間電圧（例えば10V）による容量結合でチャネル電位が6Vまで上昇すると、チャネルと選択された制御ゲート間の電位差は14Vとなり、書き込みが禁止される。

## 【 0 0 0 9 】

セルフブースト方式の例として、例えばNANDセル内の選択されたメモリトランジスタよりビット線側の全てのメモリトランジスタのチャネルを一体に昇圧させる特殊な方式も提案されている（特開平10-283788号公報参照）。この場合、選択されたメモリトランジスタのソース側に隣接するメモリトランジスタは制御ゲートに $V_{ss}$ を与えてチャネルをカットオフし、選択されたメモリトランジスタの制御ゲートに書き込み電圧を印加し、その他のメモリトランジスタの制御ゲートには中間電圧を印加する。

## 【 0 0 1 0 】

これにより、既に書き込みが終了したソース側のメモリトランジスタのチャネルは選択されたメモリトランジスタから切り離される。そして選択されたメモリトランジスタに書き込むデータが“0”の場合には、そのチャネルまで $V_{ss}$ を転送して、選択されたメモリトランジスタの浮遊ゲートに電子を注入することができる。選択メモリトランジスタよりビット線側のメモリトランジスタでは、制御ゲートに与えられる電圧が中間電圧であって、電子注入が生じない。また書き込むべきデータが“1”の場合には、そのチャネルをビット線側の他のメモリト



ランジスタのチャネルと共に一体に制御ゲートからの容量結合により昇圧させて、電子注入を禁止することができる。

#### 【 0 0 1 1 】

最近一般的に用いられるセルフブースト方式としては、ローカルセルフブースト方式 (LSB: Local Self-Boost) がある。これは、“1”書き込みの場合に、選択されたメモリトランジスタの両隣のメモリトランジスタをオフにして、選択されたメモリトランジスタのチャネル部のみを他から切り離されたフローティング状態にして昇圧するものである。選択されたメモリトランジスタとその両隣のメモリトランジスタ以外のメモリトランジスタの制御ゲートには中間電圧が印加される。

#### 【 0 0 1 2 】

この場合も、“0”書き込みのビット線では、ビット線から選択されたメモリセルのチャネルまで  $V_{ss}$  が転送される。そして選択された制御ゲートに書き込み電圧を印加すると、浮遊ゲートに電子注入がなされる。“1”書き込みビット線の場合は、選択されたメモリトランジスタの両隣のメモリトランジスタのチャネルがオフとなり、選択されたメモリトランジスタのチャネル部のみが制御ゲートからの容量結合により昇圧されて、電子注入が禁止される。

#### 【 0 0 1 3 】

前述のように、NAND型フラッシュEEPROMのデータ記憶方式として、多値方式も用いられる。この方式は、2値方式に対して同一面積のメモリセルアレイにおいて2倍のデータが記録可能であるという長所の反面、データ記録に使用するメモリトランジスタのしきい値電圧範囲が広がるため必然的に書き込み制御が難しくなるという短所がある。例えば、“1”書き込みのメモリトランジスタのチャネル電位の昇圧が不十分のために、誤って浮遊ゲートに電子が注入されるといった、誤書き込みを防止することが重要になり、LSB方式は特に、多値記憶方式を採用する場合に誤書き込みを防止することができるものとして、有望視されている。

#### 【 0 0 1 4 】

【発明が解決しようとする課題】



以上のようにLSB方式では、“1”データ書き込みの場合に着目するメモリトランジスタのチャンネルを、その両隣のメモリトランジスタをオフにして昇圧させるという制御を行う。このとき、着目するメモリトランジスタの両隣のメモリトランジスタを完全にカットオフすることが出来れば、ブースト領域は着目するメモリトランジスタのチャンネルと拡散層に限定され、狭い領域を書き込み電位 $V_{pgm}$ のみで昇圧すればよいために、効率良くチャンネルを昇圧できる可能性がある。

## 【0015】

しかしこのLSB方式の場合、ビット線及び共通ソース線から2番目のメモリトランジスタへの“1”書き込みにおいて、その他のメモリトランジスタでの“1”書き込みとは異なる事情が存在し、チャンネル部の昇圧が不十分になる可能性がある。この点を具体的に、図12及び図13を用いて説明する。

## 【0016】

図12及び図13は、それぞれNANDセル内の3番目のメモリトランジスタが選択された場合と、2番目のメモリトランジスタが選択された場合の“1”書き込み時の電圧関係とチャンネル部の昇圧の様子を示している。図12に示すように、制御ゲート線CG2により3番目のメモリトランジスタが選択された場合、その両隣の制御ゲート線CG1, CG3には、 $V_{ss} = 0V$ が与えられ、それ以外の制御ゲート線CG0, CG4, …には、中間電圧 $V_{pass}$ が与えられる。

## 【0017】

このとき、中間電圧 $V_{pass}$ を例えば $10V$ とし、容量結合比を $50\%$ とすれば、制御ゲート線CG0直下のチャンネル部は、約 $5V$ まで昇圧される。制御ゲート線CG0直下のチャンネル部を、 $V_{ss}$ が与えられた2番目のメモリトランジスタのソースとみれば、このメモリトランジスタのゲート・ソース間電圧は、 $-5V$ となり、消去状態のしきい値が $-5V$ より高ければ、このメモリトランジスタはオフになる。同様に、制御ゲート線CG3により制御される4番目のメモリトランジスタのチャンネルもオフになる。

## 【0018】

これにより、書き込み電圧 $V_{pgm}$ が印加された3番目のメモリトランジスタ

のチャネル部（斜線で示すようにソース，ドレインを含む）は、フローティングになり、書き込み電圧  $V_{pgm}$  により昇圧される。

## 【 0 0 1 9 】

これに対して、ビット線から 2 番目のメモリトランジスタが選択された場合は、図 1 3 に示すようになる。ビット線側に隣接する制御ゲート線  $CG_0$  には  $V_{ss}$  が与えられ、このメモリトランジスタにとってソースとなる、選択ゲートトランジスタ側の拡散層は、選択ゲート線  $SGD$  に  $V_{dd}$  が与えられて、 $V_{dd} - V_{th}$ （ $V_{th}$  は、選択ゲートトランジスタのしきい値電圧）である。例えば、 $V_{dd} = 3V$ ， $V_{th} = 1V$  とすれば、制御ゲート線  $CG_0$  のメモリトランジスタのゲート・ソース間電圧は、 $-2V$  である。消去状態のメモリトランジスタのしきい値電圧がこれより低いとすれば、制御ゲート線  $CG_0$  により  $V_{ss}$  が与えられた 1 番目のメモリトランジスタはオフにならない。

## 【 0 0 2 0 】

そうすると、選択された制御ゲート線  $CG_1$  に与えられた書き込み電圧  $V_{pgm}$  によって昇圧されるべきチャネル部は、制御ゲート線  $CG_0$ ， $CG_1$  の二つのメモリトランジスタのチャネル部を一体にした斜線の範囲になる。つまり、図と比較して、2 倍の面積のチャネル部を書き込み電圧  $V_{pgm}$  により昇圧しなければならない。この結果、昇圧効率が悪くなり、誤って浮遊ゲートに電子注入が生じる誤書き込みの原因となる。

## 【 0 0 2 1 】

同様の事情は、共通ソース側の 2 番目のメモリトランジスタを選択した場合にも生じる。

微細化傾向によってメモリトランジスタのゲート長はサブミクロン領域に到達しており、良好なカットオフ特性が実際に得られなくなりつつある。また、プロセス的にもリソグラフィ時に NAND セル両端のメモリトランジスタのゲート長が細くなる等、ゲート長の加工ばらつきもカットオフ特性を悪化させる一要因となる。したがって、上記の問題点は今後ますます顕著になると予想される。

## 【 0 0 2 2 】

この発明は、上記事情を考慮してなされたもので、誤書き込みを確実に防止で

きるようにした書き込みモードを有する不揮発性半導体記憶装置を提供することを目的としている。

【 0 0 2 3 】

【課題を解決するための手段】

この発明は、電荷蓄積層と制御ゲートが積層されたメモリトランジスタが複数個直列接続され、その一端が第 1 の選択ゲートトランジスタを介してビット線に、他端が第 2 の選択ゲートトランジスタを介して共通ソース線に接続された N A N Dセルを有し、N A N Dセルの選択されたメモリトランジスタの制御ゲートに書き込み電圧を印加し、その両隣の非選択メモリトランジスタの制御ゲートにビット線に与えられるデータに応じてチャネルをオン、オフするための基準電圧を印加して、選択されたメモリトランジスタでデータ書き込みを行う書き込みモードを有する不揮発性半導体記憶装置において、前記データ書き込みモードにおいて、ビット線側から第 2 番目のメモリトランジスタが選択されたときに、この第 2 番目のメモリトランジスタの制御ゲートに書き込み電圧を印加し、ビット線側から第 3 番目の非選択メモリトランジスタの制御ゲートに基準電圧を印加し、ビット線側から第 1 番目の非選択メモリトランジスタの制御ゲートには前記書き込み電圧より低く且つ前記基準電圧より高い第 1 の中間電圧を印加し、残りの非選択メモリトランジスタの少なくとも一つの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第 2 の中間電圧を印加するようにしたことを特徴とする。

【 0 0 2 4 】

この発明によると、L S B 方式によるデータ書き込み時に、ビット線側から 2 番目のメモリトランジスタが選択された場合には、1 番目の非選択メモリトランジスタの制御ゲートに中間電圧を印加して、選択メモリトランジスタのチャネルと共にチャネル部を一体に昇圧させるようにしている。これにより、誤書き込みのない確実なデータ書き込みが可能になる。

この場合、ビット線側から第 3 番目以降の非選択メモリトランジスタには少なくとも一つの制御ゲートに第 2 の中間電圧を印加することができる。

【 0 0 2 5 】

また、共通ソース線側から第2番目のメモリトランジスタが選択されたときにも同様に、この第2番目のメモリトランジスタの制御ゲートに書き込み電圧を印加し、共通ソース線側から第3番目の非選択メモリトランジスタの制御ゲートに基準電圧を印加し、共通ソース線側から第1番目の非選択メモリトランジスタの制御ゲートには第1の中間電圧を印加し、残りの非選択メモリトランジスタの少なくとも一つの制御ゲートに第2の中間電圧を印加するようにすれば、共通ソース線側から2番目のメモリトランジスタが選択されたときの誤書き込みが確実に防止される。

この場合も、共通ソース線側から第3番目以降の非選択メモリトランジスタには少なくとも一つの制御ゲートに第2の中間電圧を印加することができる。

#### 【0026】

この発明において、第2の中間電圧は、第1の中間電圧と等しく設定してもよいし、異なる値に設定してもよい。

#### 【0027】

この発明において具体的には、それぞれ異なるビット線に接続される行方向に並ぶ複数のNANDセルが一つのNANDセルブロックを構成する。このとき第1の選択ゲートトランジスタのゲートが第1の選択ゲート線に共通接続され、第2の選択ゲートトランジスタのゲートが第2の選択ゲート線に共通接続され、それぞれ対応するメモリトランジスタの制御ゲートが制御ゲート線に共通接続される。そして書き込みモードは、各ビット線に与えられたデータに応じて各NANDセルのチャネルをプリチャージした後、選択された制御ゲート線に沿った複数のメモリトランジスタで一括書き込みを行うものであって、(a) ビット線側から第2番目の制御ゲート線が選択されたときには、この第2番目の制御ゲート線に前記書き込み電圧を印加し、ビット線から第3番目の制御ゲート線に前記基準電圧を印加し、ビット線側から第1番目の制御ゲート線には前記第1の中間電圧を印加し、残りの制御ゲート線の少なくとも一つに前記第2の中間電圧を印加して書き込みを行い、また(b) 共通ソース線側から第2番目の制御ゲート線が選択されたときには、この第2番目の制御ゲート線に前記書き込み電圧を印加し、共通ソース線から第3番目の制御ゲート線に前記基準電圧を印加し、共通ソー



ス線側から第1番目の制御ゲート線には前記第1の中間電圧を印加し、残りの制御ゲート線の少なくとも一つに前記第2の中間電圧を印加して書き込みを行う。

【0028】

また通常は、書き込みモードに先立って、NANDセルブロック内の全メモリセルを一括して、しきい値電圧の低い第1データの状態に設定する消去モードを有する。そして、書き込みモードは、一括消去された各NANDセルのチャンネルに前記ビット線から書き込むべき第1及び第2データに応じてプリチャージを行い、第1データが与えられたNANDセルでは、選択された制御ゲート線に沿うメモリトランジスタのチャンネルをフローティング状態として書き込み電圧が印加されたときに制御ゲートからの容量結合によりチャンネルを昇圧させて電荷蓄積層への電荷注入を禁止し、第2データが与えられたNANDセルでは、選択された制御ゲート線に沿うメモリトランジスタのチャンネルを低電圧に保持してトンネル電流により電荷蓄積層に電荷を注入するものである。

【0029】

この発明はまた、電荷蓄積層と制御ゲートが積層されたメモリトランジスタが複数個直列接続され、その一端が第1の選択ゲートトランジスタを介してビット線に、他端が第2の選択ゲートトランジスタを介して共通ソース線に接続されたNANDセルを有する不揮発性半導体記憶装置において、次の様な書き込みモードを有することを特徴とする。即ち、NANDセルのビット線からK番目の選択されたメモリトランジスタの制御ゲートに書き込み電圧を印加し、その選択されたメモリトランジスタとこれに隣接する少なくとも一つの非選択メモリトランジスタを両側から挟むようにビット線から $K - m$ 番目及びビット線から $K + n$ 番目（但し、 $m$ 、 $n$ は正の整数で少なくとも一方が2以上）の二つの非選択メモリトランジスタの制御ゲートにビット線に与えられるデータに応じてチャンネルをオン、オフする基準電圧を印加し、前記二つの非選択メモリトランジスタに挟まれた範囲内の非選択メモリトランジスタの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第1の中間電圧を印加し、 $K - m$ 番目よりビット線側及び $K + n$ 番目より共通ソース線側にある少なくとも一つずつの非選択メモリトランジスタの制御ゲートに前記書き込み電圧より低く且つ前記基準電圧より高い第



2 の中間電圧を印加して、選択されたメモリトランジスタでデータ書き込みを行う。

### 【 0 0 3 0 】

この発明によると、“1”データ書き込みの場合のチャネル昇圧方式として、従来のLSB方式を変形して、NANDセル内の二つ以上のメモリトランジスタのチャネルを一括して昇圧するようにしている。この場合、書き込み電圧が与えられる選択メモリトランジスタの隣接メモリトランジスタには中間電圧を与える。この様なチャネル昇圧方式とすれば、隣接セル間の容量カップリングの悪影響を低減することができる。即ち、書き込み電圧が与えられたメモリトランジスタの隣接メモリトランジスタの制御ゲートに基準電圧を与える通常のLSB方式では、選択メモリトランジスタの浮遊ゲートの電位が、隣接する基準電圧が与えられた制御ゲートからの容量カップリングにより電位上昇が不十分となり、“0”書き込みセルでは書き込み速度が遅くなる。この場合、“0”書き込み速度を十分速くするためには、より高い書き込み電圧を印加しなければならないが、そうすると周辺回路面積の増加とコストアップをもたらす。

これに対してこの発明のように、選択メモリトランジスタに隣接するメモリトランジスタの制御ゲートに基準電圧より高い中間電圧を与えると、選択メモリトランジスタの浮遊ゲートの電位上昇が大きくなり、書き込み電圧をそれほど高くすることなく、“0”書き込みセルでの書き込み速度も速いものとなる。

### 【 0 0 3 1 】

もう一つの効果として、0V等の基準電圧が与えられた非選択の制御ゲートの電位の浮き上がりが抑制されるという効果が挙げられる。即ち、多数の制御ゲートは長い制御ゲート線に共通接続されるから、その一端を0Vに固定しても、実際には駆動端から離れた位置では、隣接制御ゲート線からの容量カップリングにより電位が浮くという現象が見られる。隣接制御ゲート線が高い書き込み電圧であると、0Vが与えられた制御ゲート線の電位の浮き上がりは大きい。これに対して、書き込み電圧が与えられた制御ゲート線に隣接する制御ゲート線には中間電圧を与え、更にその隣の制御ゲート線に基準電圧を与えるようにすれば、基準電圧が与えられた制御ゲート線の隣接制御ゲート線からの容量カップリングによ

る電位浮き上がりを抑制することが可能になる。

### 【 0 0 3 2 】

この発明において、 $K = 2$  のときには、選択されたメモリトランジスタよりビット線側のメモリトランジスタの制御ゲートには第 1 又は第 2 の中間電圧を印加することが好ましい。同様に、 $K$  が共通ソース線から 2 番目であるとき、選択されたメモリトランジスタより共通ソース線側のメモリトランジスタの制御ゲートには第 1 又は第 2 の中間電圧を印加することが好ましい。

$K - m$  番目よりビット線側及び  $K + n$  番目より共通ソース線側に非選択メモリトランジスタの制御ゲートには、全てに対して第 2 の中間電圧を印加するようにしてもよい。

第 1 の中間電圧は、第 2 の中間電圧と等しく設定してもよいし、異なる値に設定してもよい。

### 【 0 0 3 3 】

この発明の場合も具体的には、それぞれ異なるビット線に接続される行方向に並ぶ複数の NAND セルは NAND セルブロックを構成し、第 1 の選択ゲートトランジスタのゲートが第 1 の選択ゲート線に共通接続され、第 2 の選択ゲートトランジスタのゲートが第 2 の選択ゲート線に共通接続され、それぞれ対応するメモリトランジスタの制御ゲートが制御ゲート線に共通接続される。そして書き込みモードは、各ビット線に与えられたデータに応じて各 NAND セルのチャネルをプリチャージした後、選択された制御ゲート線に沿った複数のメモリトランジスタで一括書き込みを行うものであって、ビット線から  $K$  番目の制御ゲート線が選択されたときに、その選択された制御ゲート線とこれに隣接する少なくとも一つの非選択の制御ゲート線を両側から挟むようにビット線から  $K - m$  番目及びビット線から  $K + n$  番目（但し、 $m$ 、 $n$  は正の整数で少なくとも一方が 2 以上）の二つの非選択制御ゲート線に基準電圧を印加し、前記二つの非選択制御ゲート線に挟まれた範囲内の非選択制御ゲート線に第 1 の中間電圧を印加し、 $K - m$  番目よりビット線側及び  $K + n$  番目より共通ソース線側にある少なくとも一つずつの非選択制御ゲート線に第 2 の中間電圧を印加して行われる。

### 【 0 0 3 4 】

## 【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態を説明する。

図 1 は、この発明による NAND 型 EEPROM の構成を示す。メモリセルアレイ 1 は、図 2 に示すように、複数個（図の例では 16 個）のメモリトランジスタ MC（MC0～MC15）が、それらのソース、ドレイン拡散層を隣接するもの同士で共有して直列接続された NAND セルユニットにより構成される。メモリトランジスタ MC は、浮遊ゲートと制御ゲートが積層されたスタックゲート構造の MOSFET である。NAND セルの一端は選択ゲートトランジスタ SG1 を介してビット線 BL に接続され、他端は同様に選択ゲートトランジスタ SG2 を介して共通ソース線 SL に接続される。

## 【0035】

行方向に並ぶメモリトランジスタ MC の制御ゲートは共通に制御ゲート線（ワード線）CG（CG0～CG15）に接続される。選択ゲートトランジスタ SG1、SG2 のゲートも同様に選択ゲート線 SGD、SGS として、行方向に共通接続される。

一本の制御ゲート線 CG に接続されるメモリトランジスタの範囲が、一括してデータ書き込みを行う範囲であり、これが 1 ページとなる。また、行方向に並ぶ NAND セルユニットの範囲が、データの一括消去の単位となる NAND セルブロックを構成する。

## 【0036】

メモリセルアレイ 1 のビット線 BL は、読み出されるデータをセンスし、書き込むべきデータをラッチするセンスアンプ／データラッチ回路 2 に接続される。センスアンプ／データラッチ回路 2 は、カラムデコーダ 5 により駆動されるカラムゲート 3 を介して I/O バッファ 9 に接続される。

## 【0037】

メモリセルアレイ 1 の制御ゲート線の選択及び駆動を行うのが、ロウデコーダ／ワード線駆動回路 4 である。外部アドレスは、アドレスラッチ 6 に保持されて、カラムデコーダ 5 及びロウデコーダ／ワード線駆動回路 4 に供給される。内部電圧発生回路 8 は、書き込み時に選択された制御ゲート線に供給される書き込み

電圧  $V_{pgm}$ 、データ消去時にウェルに供給される消去電圧  $V_{era}$ 、これらより低い電源電圧  $V_{dd}$  より高い中間電圧  $V_{pass}$  等を発生する昇圧回路である。制御回路 7 は、コマンドに基づいて、データ書き込みとその後のベリファイ読み出し動作更に、データ消去とその後のベリファイ読み出し等を制御する。

## 【0038】

この実施の形態において、“1”データ書き込み時のチャネル昇圧には、LSB方式を用いるのが基本である。但し、ビット線  $BL$  から 2 番目のメモリトランジスタを選択した場合、及び共通ソース線  $SL$  から 2 番目のメモリトランジスタを選択した場合に限って、他のメモリトランジスタを選択した場合と異なるチャネル昇圧制御を行う。その具体的な実施の形態を以下に説明する。

## 【0039】

## [実施の形態 1]

図 3 は、ビット線  $BL$  から 2 番目のメモリトランジスタを選択したデータ書き込み時の NAND セルの電位関係を、2 本のビット線  $BL_0$ 、 $BL_1$  について示している。ここで、ビット線  $BL_0$ 、 $BL_1$  にはそれぞれ“0”，“1”データが与えられる場合を示している。

## 【0040】

データ書き込みに先立って、NAND セルブロックのデータは一括消去され、ブロック内の全メモリトランジスタは、しきい値電圧が低い（例えば、負のしきい値電圧の）オール“1”状態にされる。その後、センスアンプ/データラッチ回路 2 からビット線  $BL$  に書き込みデータが与えられ、共通ソース線  $SL$  側のページから順にデータ書き込みが行われる。図 3 では、制御ゲート線  $CG_1$  が選択された場合を示しており、このとき書き込み電圧印加に先立って、ビット線  $BL_0$ 、 $BL_1$  にそれぞれ、 $V_{ss} = 0V$ 、 $V_{dd}$  より昇圧された電位  $V_{pre}$  が与えられ、ビット線側の選択ゲート線  $SGD$  を  $V_{dd} + \alpha$ 、共通ソース線  $SL$  側の選択ゲート線  $SGS$  を  $V_{ss}$  とすることにより、ビット線  $BL_0$ 、 $BL_1$  側の NAND セルのチャネルがそれぞれ低レベルと、高レベルにプリチャージされる。

## 【0041】

これにより、“0”データが与えられたビット線  $BL_0$  側の NAND セルのチ



チャネルは、 $V_{ss}$ の低レベルに設定され、“1”データが与えられたビット線BL1側のNANDセルのチャネルは、 $V_{dd}$ 或いはそれ以上にプリチャージされる。ビット線BL1側では、これにより選択ゲートトランジスタSG11がオフになり、NANDセルのチャネルは高レベルのフローティングの状態になる。

## 【0042】

この様なチャネルプリチャージを行った後に、図3に示したように、選択された2番目の制御ゲート線CG1には書き込み電圧 $V_{pgm}$ （例えば、20V）が与えられる。このとき、ビット線から3番目の制御ゲート線CG2には $V_{ss}$ を与えるのに対し、ビット線BL側に隣接する制御ゲート線CG0には書き込み電圧 $V_{pgm}$ より低い中間電圧 $V_{pass}$ （例えば、10V）を与える点が、通常のLSB方式とは異なっている。3番目以降の制御ゲート線CG3, CG4, ..., CG15には、全て中間電圧 $V_{pass}$ が与えられる。

## 【0043】

制御ゲート線CG3, CG4, ..., CG15に中間電圧 $V_{pass}$ を与えるのは、“1”データが与えられたビット線BL1側で、選択メモリトランジスタMC11に隣接する非選択メモリトランジスタMC21のチャネルを確実にカットオフにするように、制御ゲートからの容量結合による基板バイアスを与えるためである。従って、これらの全てに中間電圧 $V_{pass}$ を与えることは必ずしも必要ではなく、少なくとも一つに中間電圧 $V_{pass}$ を与え、残りは $V_{ss}$ としてもよい。

## 【0044】

この様な書き込み条件にすると、“0”データが与えられたビット線BL0側のNANDセルでは、少なくともビット線BLから選択されたメモリトランジスタMC10までのチャネルが低電位状態で導通しており、選択されたメモリトランジスタMC10では浮遊ゲート下のゲート絶縁膜に大きな電界がかかり、チャネルから浮遊ゲートに電子が注入される。即ち、“0”書き込みが行われる。メモリトランジスタMC20はデータに応じてオン又はオフになるが、いずれの場合も書き込みが行われない。更にこれよりソース線側のメモリトランジスタMC30~MC150でも、大きな電界はかからず、書き込みは生じない。



## 【 0 0 4 5 】

“1”データが与えられたビット線BL1側のNANDセルの選択されたメモリトランジスタMC11では、フローティングのチャネル部が容量結合により昇圧されて、浮遊ゲートへの電子注入が阻止され、“1”データが保持される。このときのNANDセルでのチャネル昇圧の様子を、従来の図13と対応させて、図4に示している。前述したように、ビット線BLから2番目のメモリトランジスタMC11が選択されたとき、ビット線側の1番目のメモリトランジスタMC01は、制御ゲートにVssを与えてもオフにならない可能性がある。従って、図13の場合と同様に、メモリトランジスタMC11、MC01の2個分のチャネル部が連続してフローティングとなり、これを一体に昇圧しなければならない。

## 【 0 0 4 6 】

この実施の形態の場合、メモリトランジスタMC11には書き込み電圧Vpgmを印加し、そのビット線側に隣接するメモリトランジスタMC01には中間電圧Vpassを印加しているから、斜線で示す昇圧領域を従来より高い電位まで昇圧することができる。これにより、選択メモリトランジスタMC11での電子注入を確実に禁止することができる。選択制御ゲート線CG2のソース線側の隣接制御ゲート線CG2に沿ったメモリトランジスタMC21は、既に書き込みがなされているが、更にそのソース側に隣接する制御ゲート線CG3に中間電圧Vpassが与えられることから、これがVssの印加によりオフになることは従来と同様である。

## 【 0 0 4 7 】

ビット線BLから2番目の制御ゲート線CG1が選択されたときに、1番目の制御ゲート線CG0に中間電圧Vpassを与えることにより、隣接カップリング効果が低減されるという効果もある。即ち、選択制御ゲート線CG1に書き込み電圧Vpgmを与え、そのビット線側の隣接制御ゲート線CG0にVssを与えた場合は、制御ゲート線CG1に沿ったメモリトランジスタの浮遊ゲートが、Vssが印加された制御ゲート線CG0からの容量カップリングにより“0”書き込みに十分な高い電位になれず、“0”書き込みセルでの書き込み速度が遅く

なる。これに対して制御ゲート線CG0に中間電圧 $V_{pass}$ を与えれば、選択された制御ゲート線CG1のメモリトランジスタの浮遊ゲートの電位が高いものとなり、十分な“0”書き込み速度が得られる。

## 【0048】

参考までに、ビット線BLから3番目のメモリトランジスタが選択された場合の書き込み条件を、図3と対応させて図5に示す。この場合は通常通り、選択された制御ゲート線CG2に書き込み電圧 $V_{pgm}$ を与え、その両隣の制御ゲート線CG1, CG3には $V_{ss}$ を与える。これにより、“1”データが与えられたビット線BL1側のNANDセルでは、選択メモリトランジスタMC21のチャネル部のみが他から分離されてフローティングになり（図12参照）、書き込み電圧 $V_{pgm}$ の容量結合により昇圧される。

## 【0049】

図6は、共通ソース線SLから2番目のメモリトランジスタが選択された場合の書き込み動作条件を、図3と対応させて示している。このとき選択された制御ゲート線CG14に書き込み電圧 $V_{pgm}$ が、そのビット線BL側に隣接する、共通ソース線SLから3番目の制御ゲート線CG13に $V_{ss}$ が与えられ、共通ソース線SL側に隣接する、共通ソース線SLから1番目の制御ゲート線CG15には中間電圧 $V_{pass}$ が与えられる。残りの制御ゲート線には、全て中間電圧 $V_{pass}$ を与えている。

## 【0050】

この場合、制御ゲート線CG15に沿ったメモリトランジスタは既にデータが書かれている。しかし、“1”データ書き込みのビット線BL1側のNANDセルについて、メモリトランジスタMC151に既に書かれたデータが“1”である場合には、その制御ゲートに $V_{ss}$ を与えてもオフにならない可能性があることは、ビット線BL側の2番目のメモリトランジスタMC11を選択したときの1番目のメモリトランジスタMC01と同様である。

## 【0051】

そこで、共通ソース線SL側の1番目の制御ゲート線CG15には、 $V_{ss}$ ではなく、中間電圧 $V_{pass}$ を与える。3番目の制御ゲート線CG13には、 $V$

$V_{ss}$ を与えることにより、メモリトランジスタMC131はオフになる。これにより、選択された2番目のメモリトランジスタMC141と1番目のメモリトランジスタMC151のチャンネル部を一体にフローティング状態として昇圧することができる。

#### 【0052】

図6において、 $V_{ss}$ が与えられた制御ゲート線CG13よりビット線側にある非選択制御ゲート線は全て中間電圧 $V_{pass}$ としたが、これは“1”データ側の非選択メモリトランジスタMC131のカットオフを確実にするための基板バイアス用である。従って、全てに中間電圧 $V_{pass}$ を与えなくてもよく、少なくとも一つに中間電圧 $V_{pass}$ を与えればよい。

#### 【0053】

LSB方式において、ビット線BL側から1番目の制御ゲート線が選択された場合には、両側にメモリトランジスタはなく、一方は選択ゲートトランジスタSG1となる。“1”書き込みのビット線BL1側の選択ゲートトランジスタSG11は、 $V_{dd}$ が与えられてNANDセルプリチャージによりオフになるから、着目するメモリトランジスタMC01のチャンネルのみをフローティング状態で昇圧することになる。共通ソース線SLから1番目の制御ゲート線が選択された場合にも同様に、選択ゲートトランジスタSG21がオフであり、着目するメモリトランジスタMC151のチャンネルのみをフローティング状態で昇圧することになる。

#### 【0054】

##### 〔実施の形態2〕

上記実施の形態では一つの間電圧 $V_{pass}$ を用いたが、例えば図3の例では、ビット線側から2番目の制御ゲート線CG1が選択されたときに1番目の制御ゲート線CG0に与える中間電圧 $V_{pass}$ は、“1”データ書き込み側の二つのメモリトランジスタMC01、MC11のチャンネル領域を一体に昇圧するための補助的電圧である。この趣旨から、具体的な電圧値としては、例えば電源電圧 $V_{dd}$ でよい場合もあり、それ以上の適当な値を選択できる。但し、“0”書き込みのビット線BL0側の非選択であるメモリトランジスタMC00で“0”

書き込みが行われないようにすることが必要であり、この意味で書き込み電圧  $V_{pgm}$  より低いことが必要である。

#### 【0055】

一方、図3の例において、既に書き込みが行われた範囲の制御ゲート線  $CG3 \sim CG15$  に与える中間電圧  $V_{pass}$  は、制御ゲート線  $CG0$  に与えるものとは趣旨が異なり、カットオフさせるべきメモリトランジスタ  $MC20$ ,  $MC21$  に適当なバックバイアスを与えるためである。以上のように中間電圧の趣旨の相違から、図3において、制御ゲート線  $CG3 \sim CG15$  に与える中間電圧  $V_{pass}$  と、制御ゲート線  $CG0$  に与える中間電圧  $V_{pass}$  とを異ならせることもできる。

#### 【0056】

その様な実施の形態の書き込み時の電圧関係を、図3に対応させて図7に示した。制御ゲート線  $CG0$  に与える中間電圧を  $V_{pass1}$  とし、制御ゲート線  $CG3 \sim CG15$  に与える中間電圧を  $V_{pass2}$  としている。制御ゲート線  $CG2$  に沿った、選択メモリトランジスタに隣接する非選択メモリトランジスタ  $MC20$ ,  $MC21$  を確実にカットオフさせるためには、 $V_{pass2}$  は、高い方がよく、この様な観点からは例えば、 $V_{pass2} > V_{pass1}$  に設定することができる。

#### 【0057】

また、選択メモリトランジスタ  $MC10$ ,  $MC11$  のチャネル昇圧を確実にし且つ、ビット線側の未書き込みのメモリトランジスタのストレスを緩和するためには、チャネル昇圧の補助として用いられる中間電圧  $V_{pass1}$  が高いことが望ましい。この観点を重視すれば例えば、 $V_{pass1} > V_{pass2}$  と設定することができる。

#### 【0058】

ここまでの実施の形態における書き込みモードの動作タイミングを、図3の実施の形態を例にとり示すと、図8のようになる。書き込みサイクルが開始される時刻  $t_0$  で、ビット線側選択ゲート  $SGD$  には、 $V_{dd} + \alpha$  に、共通ソース線側選択ゲート  $SGS$  には  $V_{ss}$  が与えられ、選択された制御ゲート線  $CG1$  とこ



れにビット線側に隣接する制御ゲート線CG0にはVdd、共通ソース線側に隣接する制御ゲート線CG2にはVss、それ以外の制御ゲート線CG3～CG15には、Vddが与えられる。

## 【0059】

ビット線BLにはデータに応じてVss（“0”データの場合）、Vpre（“1”データの場合）が与えられ、このビット線データにより選択されたメモリトランジスタのチャネルまでデータに応じた電位が転送される。“1”データが与えられたビット線では、その後選択ゲート線SGDをVddに戻すことにより、Vdd程度にプリチャージされたチャネルがフローティング状態になる。

## 【0060】

その後時刻t1で書き込みパルス電圧の印加が行われる。即ち、選択された制御ゲート線CG1は、Vddから書き込み電圧Vpgmまで昇圧され、ビット線側に隣接する制御ゲート線CG0は、Vddから中間電圧Vpassまで昇圧され、共通ソース線側に隣接する制御ゲート線CG2はVssのまま保持され、それ以外の制御ゲート線CG3～CG15は、Vddから中間電圧Vpassまで昇圧される。これにより、上述したように、選択メモリトランジスタではデータに応じて電子注入が生じ、或いは電子注入が阻止される。時刻t2で1回の書き込み動作が終了する。

## 【0061】

図では省略したが、通常は時刻t2の後、書き込みベリファイ読み出しが行われ、書き込み不十分のメモリトランジスタがある場合には再度、書き込み動作が繰り返される。この様に、書き込み動作とベリファイ読み出し動作を繰り返すことによって、書き込みデータを所定のしきい値電圧分布内に追い込む。

## 【0062】

## 〔実施の形態3〕

ここまでの実施の形態は、“1”データ書き込み時、選択されたメモリトランジスタの隣接メモリトランジスタのチャネルをオフにする従来のLSB方式を基本として、NANDセルのビット線及び共通ソース線から2番目のメモリトランジスタが選択された場合に限って、基本のLSB方式を変形するものであった。



これに対して次に、基本となる L S B 方式そのものを変形した実施の形態を説明する。

### 【 0 0 6 3 】

この実施の形態の書き込みモードは、N A N D セル内のある制御ゲート線が選択されたときに、チャネルブーストを行うためにチャネルをカットオフにするメモリトランジスタは、選択メモリトランジスタの隣接メモリトランジスタでなくともよく、選択メモリトランジスタを間に含むような任意の二つのメモリトランジスタであればよいという考えに基づく。この場合、チャネルをカットオフするメモリトランジスタの間に選択メモリトランジスタと共に挟まれた非選択メモリトランジスタの制御ゲート線には中間電圧を印加して、選択メモリトランジスタでのチャネル昇圧を補助すればよい。

### 【 0 0 6 4 】

この実施の形態によると、“1”書き込み時のチャネル昇圧は、複数のメモリトランジスタのチャネル領域を一体に行われることになる。そして、選択メモリトランジスタの制御ゲートには書き込み電圧が与えられ、これと一体にチャネルを昇圧する非選択メモリトランジスタの制御ゲートには中間電圧を与えることにより、書き込み電圧を与える選択メモリトランジスタの制御ゲートに隣接する非選択の制御ゲートに  $V_{ss}$  を与える通常の L S B 方式に比べて、選択メモリトランジスタに隣接する非選択メモリトランジスタによる容量カップリング効果が低減される。

### 【 0 0 6 5 】

即ち、書き込み電圧  $V_{pgm}$  が与えられる選択制御ゲートに、 $V_{ss}$  が与えられる非選択制御ゲートが隣接した場合には、 $V_{ss}$  が与えられた隣接する非選択制御ゲート線からの容量カップリングにより、選択されたメモリトランジスタの浮遊ゲートの電位上昇が不十分になり、“0”書き込み速度が低下する可能性がある。これに対して、 $V_{pgm}$  の両側に中間電圧  $V_{pass}$  を挟んで、 $V_{ss}$ 、 $V_{pass}$ 、 $V_{pgm}$ 、 $V_{pass}$ 、 $V_{ss}$  という印加電圧にすると、書き込み電圧  $V_{pgm}$  が従来と同じであっても、 $V_{pgm}$  が印加された選択メモリトランジスタの浮遊ゲートの電位は十分に高くなり、“0”書き込み速度が速いものと

なる。

#### 【 0 0 6 6 】

また、 $V_{ss}$  が印加された非選択制御ゲート線は、寄生抵抗と寄生容量のために駆動端から離れた部分は必ずしも電位固定されず、隣接する制御ゲート線が高い電圧  $V_{pgm}$  であると、その容量カップリングにより電位の浮き上がりが生じる。これに対して、 $V_{ss}$  が印加される制御ゲート線と  $V_{pgm}$  が印加される制御ゲート線の間に  $V_{pass}$  が印加される制御ゲート線が配置されると、 $V_{ss}$  が印加された制御ゲート線の電位の浮き上がりが抑制される。

#### 【 0 0 6 7 】

図 9 は、この実施の形態の書き込み動作時の一つの NAND セルでの電圧関係を示している。ここでは一般的に、NAND セル内のビット線  $BL$  から  $K$  番目の制御ゲート線  $CG(K)$  が選択された場合を示している。先の実施の形態で説明したように、書き込み動作に先立って、ビット線  $BL$  から、NAND セルの選択メモリトランジスタのチャネルまでデータ “0”，“1” に応じて、 $V_{ss}$ ， $V_{dd}$  がプリチャージされる。“1” データの場合は、プリチャージにより選択ゲートトランジスタ  $SG1$  がオフになり、NAND セルのチャネルはフローティング状態になる。ビット線側の選択ゲート線  $SGS$  は先の実施の形態と同様に  $V_{ss}$  である。

#### 【 0 0 6 8 】

選択された制御ゲート線  $CG(K)$  には書き込み電圧  $V_{pgm}$  が与えられ、この選択メモリトランジスタの他に少なくとも一つの非選択メモリトランジスタを含むように適当な二本の制御ゲート線  $CG(K-m)$  と  $CG(K+n)$  とに、 $V_{ss}$  が与えられる。ここで、 $m$ ， $n$  は正の整数であり、少なくとも一方は 2 以上である。

#### 【 0 0 6 9 】

$V_{ss}$  が与えられた制御ゲート線  $CG(K-m)$ ， $CG(K+n)$  に挟まれている非選択制御ゲート線には全て、中間電圧  $V_{pass1}$  が与えられる。また、制御ゲート線  $CG(K-m)$  よりビット線  $BL$  側の非選択制御ゲート線及び、制御ゲート線  $CG(K+n)$  より共通ソース線  $SL$  側にある非選択制御ゲート線に

は、中間電圧  $V_{pass2}$  が与えられる。

【0070】

図9では、制御ゲート線  $CG(K-m)$  よりビット線  $BL$  側の全ての非選択制御ゲート線及び、制御ゲート線  $CG(K+n)$  より共通ソース線  $SL$  側にある全ての非選択制御ゲート線に中間電圧  $V_{pass2}$  を与えているが、それぞれ少なくとも一つだけ選択して中間電圧  $V_{pass2}$  を与えるようにしてもよいことは、先の実施の形態の場合と同様である。但し、ビット線側及びソース線側でそれぞれ一つだけ  $V_{pass2}$  を与える非選択制御ゲート線を選択するとすれば、 $V_{ss}$  を与える制御ゲート線  $CG(K-m)$  のビット線  $BL$  側に隣接する非選択制御ゲート線及び、制御ゲート線  $CG(K+n)$  の共通ソース線  $SL$  側に隣接する非選択制御ゲート線とすることが好ましい。

【0071】

図9の例は、 $m=2$ ， $n=3$  の場合であり、この場合、○印で囲んだ選択メモリトランジスタとこれに対してビット線側に隣接する一つの非選択メモリトランジスタと共通ソース線側に隣接する二つの非選択メモリトランジスタの範囲のチャネル部を一体としてブーストすることになる。このとき、一体として昇圧する範囲の非選択制御ゲート線には中間電圧  $V_{pass1}$  を与えているから、チャネル部の昇圧は確実に行われる。また、チャネルのカットオフのために  $V_{ss}=0V$  が与えられる制御ゲート線  $CG(K-m)$ ， $CG(K+n)$  のメモリトランジスタは、選択メモリトランジスタの直近ではなく、その間に中間電圧  $V_{pass1}$  が与えられる非選択制御ゲート線が挟まるため、選択制御ゲート線  $CG(K)$  に与えられる書き込み電圧による非選択メモリトランジスタに対する隣接カップリング効果が低減される。

【0072】

この実施の形態のより具体的な態様を、図10(a)(b)に挙げる。図10(a)は、選択メモリトランジスタとこれに対して共通ソース側に隣接する一つの非選択メモリトランジスタを一体に昇圧するようにした例である。従って、選択ゲート線  $CG(k)$  に書き込み電圧  $V_{pgm}$ 、これに隣接する非選択ゲート線  $CG(K+1)$  に中間電圧  $V_{pass1}$  を与え、これらを挟む非選択制御ゲート

線CG (K-1) 及びCG (K+2) にV<sub>ss</sub>を与える。これにより、二つのメモリトランジスタの範囲のチャネル部を一体の昇圧することになる。

## 【0073】

図10 (a) では、選択制御ゲート線とこれに隣接する一つの非選択制御ゲート線の範囲を昇圧する場合に、共通ソース線SL側に隣接する非選択制御ゲート線を中間電圧V<sub>pass</sub>としているが、ビット線BL側に隣接する非選択制御ゲート線に中間電圧V<sub>pass</sub>を与えるようにしてもよい。中間電圧V<sub>pass</sub>を印加することによるストレスによる誤書き込みという問題を考慮すると、ビット線BL側に隣接する非選択制御ゲート線に中間電圧V<sub>pass</sub>を与える方式が好ましい。何故なら、選択された制御ゲート線より共通ソース線側は既に書き込みが終了しており、しきい値変動は避けなければならないが、ビット線側はこれから書き込みが行われるために、V<sub>pass</sub>印加によるしきい値変動はそれほど問題にならないからである。

## 【0074】

図10 (b) は、選択メモリトランジスタとこれを挟む二つの非選択メモリトランジスタを一体に昇圧するようにした例である。従って、選択ゲート線CG (k) に書き込み電圧V<sub>pgm</sub>、これに隣接する二つの非選択ゲート線CG (K-1) 及びCG (K+1) に中間電圧V<sub>pass1</sub>を与え、更にそれらの外側の非選択制御ゲート線CG (K-2) 及びCG (K+2) にV<sub>ss</sub>を与える。これにより、三つのメモリトランジスタの範囲のチャネル部を一体の昇圧することになる。

## 【0075】

この実施の形態において、選択された制御ゲート線がビット線BLから1番目 (K=1) の場合及び、2番目 (K=2) の場合は、ビット線BL側に非選択制御ゲート線がなくなるか、少なくなるため、例外的になる。これらの場合を、図11 (a) (b) に示す。

## 【0076】

図11 (a) は、図10 (a) 又は (b) の方式の場合であって、K=1 即ち、1番目の制御ゲート線CG (1) が選択された場合である。このとき、ビット



線BL側は選択ゲート線SGDにV<sub>dd</sub>が与えられて、“1”データの場合これがカットオフする。そして、選択された制御ゲート線CG(1)に書き込み電圧V<sub>pgm</sub>が与えられ、その共通ソース線SL側に隣接する非選択の制御ゲート線CG(2)に中間電圧V<sub>pass1</sub>が与えられ、更にその隣の制御ゲート線CG(3)にはV<sub>ss</sub>が与えられる。ビット線BL側にV<sub>ss</sub>が与えられる非選択制御ゲート線は存在しない。これにより、二つのメモリトランジスタの範囲のチャネル部を一体に昇圧することになる。

## 【0077】

図11(b)は、同じくK=2、即ち2番目の制御ゲート線CG(2)が選択された場合である。このときも、ビット線BL側は選択ゲート線SGDにV<sub>dd</sub>が与えられて、“1”データの場合これがカットオフする。そして、選択された制御ゲート線CG(2)に書き込み電圧V<sub>pgm</sub>が与えられ、その両隣の非選択の制御ゲート線CG(1), CG(3)に中間電圧V<sub>pass1</sub>が与えられ、更にその隣の制御ゲート線CG(4)にはV<sub>ss</sub>が与えられる。この場合も、ビット線BL側にV<sub>ss</sub>が与えられる非選択制御ゲート線は存在しない。この図11(b)の方式は、ビット線側の2番目の制御ゲート線が選択されたときに1番目の制御ゲート線に中間電圧を印加する点で、先の実施の形態1と同様である。これにより、三つのメモリトランジスタの範囲のチャネル部を一体に昇圧することになる。

## 【0078】

図11(a)(b)は、ビット線BL側から1番目及び2番目のメモリトランジスタが選択された場合であるが、共通ソース線SL側から1番目及び2番目のメモリトランジスタが選択された場合にも事情は同じである。共通ソース線SL側から1番目の制御ゲート線が選択された場合には、これより共通ソース線SL側にはオフ駆動される選択ゲート線SGSしかない。共通ソース線SL側から2番目の制御ゲート線が選択された場合には、それより共通ソース線SL側には非選択の制御ゲート線は1本であり、これは中間電圧V<sub>pass1</sub>とすればよい。

## 【0079】

図9において、V<sub>ss</sub>が与えられた制御ゲート線の間にある非選択制御ゲート

線に与える中間電圧を  $V_{pass1}$  とし、 $V_{ss}$  が与えられた制御ゲート線の外側の非選択制御ゲート線に与える中間電圧を  $V_{pass2}$  としたが、これらの二つの中間電圧は等しくてもよいし、異なる値を選択してもよい。

#### 【0080】

即ち、中間電圧  $V_{pass1}$  は、書き込み電圧  $V_{pgm}$  と共に、選択されたメモリトランジスタのチャネルを含む周囲のチャネル部を一体に昇圧するための補助的電圧であり、中間電圧  $V_{pass2}$  は、 $V_{ss}$  が与えられたメモリトランジスタのチャネルをカットオフするための基板バイアス（より具体的には、そのメモリトランジスタのソースバイアス）用として用いられる電圧であるから、それぞれの用途に応じて最適設定すればよい。これらの中間電圧  $V_{pass1}$ 、 $V_{pass2}$  として同じ電圧を用いれば、書き込みに必要な制御電圧の種類が少なくて済む。

#### 【0081】

なお上記各実施の形態において、書き込み時に制御ゲートに与えられる  $V_{ss}$  は、ビット線  $BL$  から与えられる“0”，“1”データの電位について、“1”データ電位ではチャネルをカットオフし、“0”データ電位はチャネル転送を許可するという意味でチャネル昇圧を制御する際の基準電圧として用いられており、必ずしも0Vでなくてもよい。

#### 【0082】

#### 【発明の効果】

以上述べたようにこの発明によれば、NANDセル型EEPROMにおいて、従来のセルフブースト方式を改良することにより、微細セルを用いた場合にも誤書き込みを確実に防止することが可能になる。

#### 【図面の簡単な説明】

#### 【図1】

この発明によるEEPROMの構成を示す図である。

#### 【図2】

同EEPROMのメモリセルアレイの構成を示す図である。

#### 【図3】

この発明の実施の形態による C G 1 選択時の書き込み動作時の電圧関係を示す図である。

【図 4】

同実施の形態の “ 1 ” 書き込み側のチャネル昇圧の様子を示す図である。

【図 5】

同実施の形態の C G 2 選択時の書き込み動作時の電圧関係を示す図である。

【図 6】

同実施の形態の C G 1 4 選択時の書き込み動作時の電圧関係を示す図である。

【図 7】

他の実施の形態による C G 2 選択時の書き込み動作時の電圧関係を示す図である。

【図 8】

各実施の形態の書き込み動作タイミング波形を示す図である。

【図 9】

他の実施の形態による書き込み動作時の電圧関係を示す図である。

【図 1 0】

同実施の形態の具体例における書き込み時の電圧関係を示す図である。

【図 1 1】

同実施の形態のビット線側 1 番目及び 2 番目が選択されたときの書き込み時の電圧関係を示す図である。

【図 1 2】

従来方式での C G 2 選択時のチャネル昇圧の様子を示す図である。

【図 1 3】

従来方式での C G 1 選択時のチャネル昇圧の様子を示す図である。

【符号の説明】

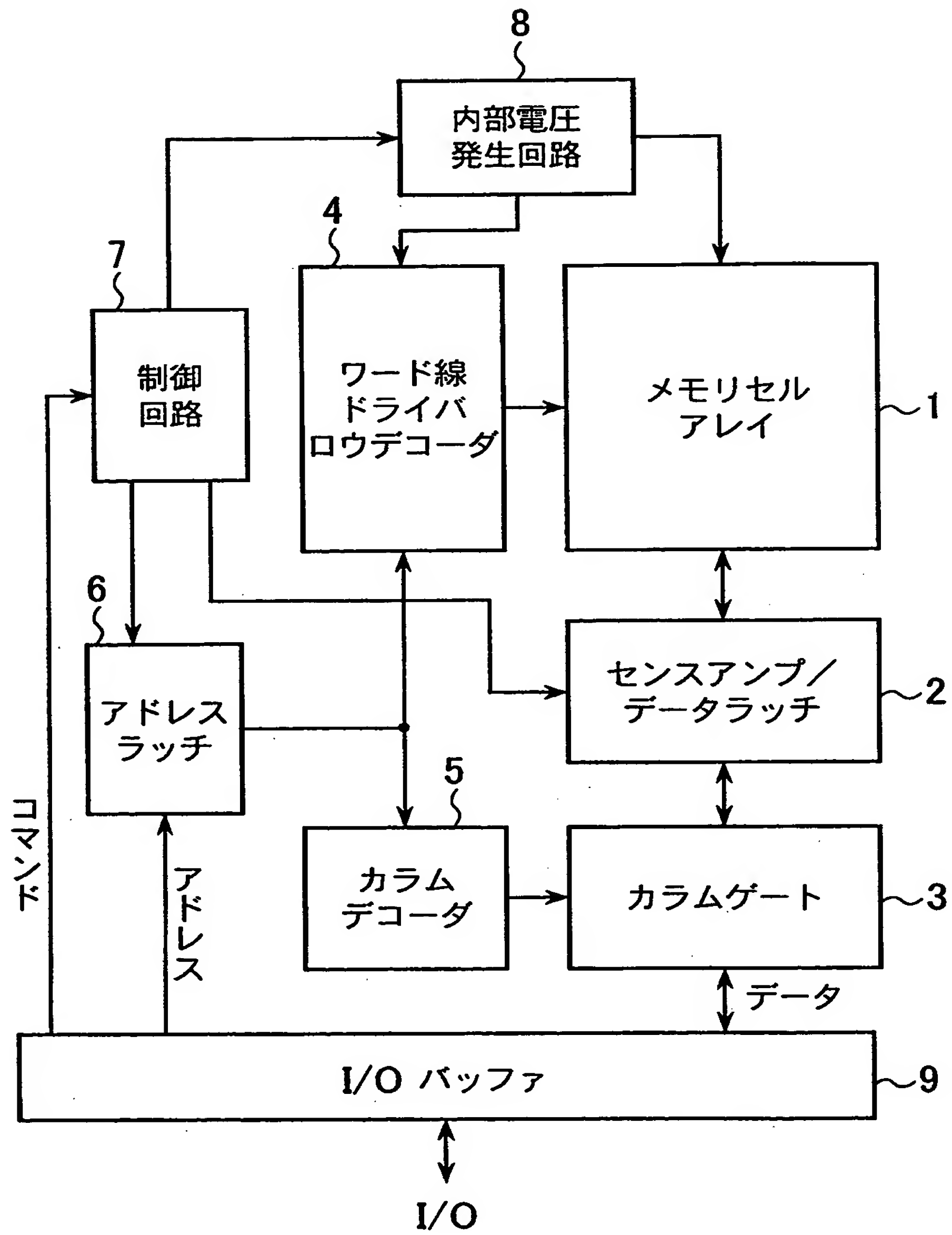
1…メモリセルアレイ、 2…センスアンプ／データラッチ、 3…カラムゲート、 4…ロウデコーダ／ワード線ドライバ、 5…カラムデコーダ、 6…アドレスラッチ、 7…制御回路、 8…内部電圧発生回路、 9…I/Oバッファ、 MC 0～MC 1 5…メモリトランジスタ、 SG 1， SG 1…選択ゲートトランジスタ、 BL

0 ～ B L 4 2 - 2 3 … ビット線、 S L … 共通ソース線、 C G 0 ～ C G 1 5 … 制御ゲート線、 S G D , S G S … 選択ゲート線。

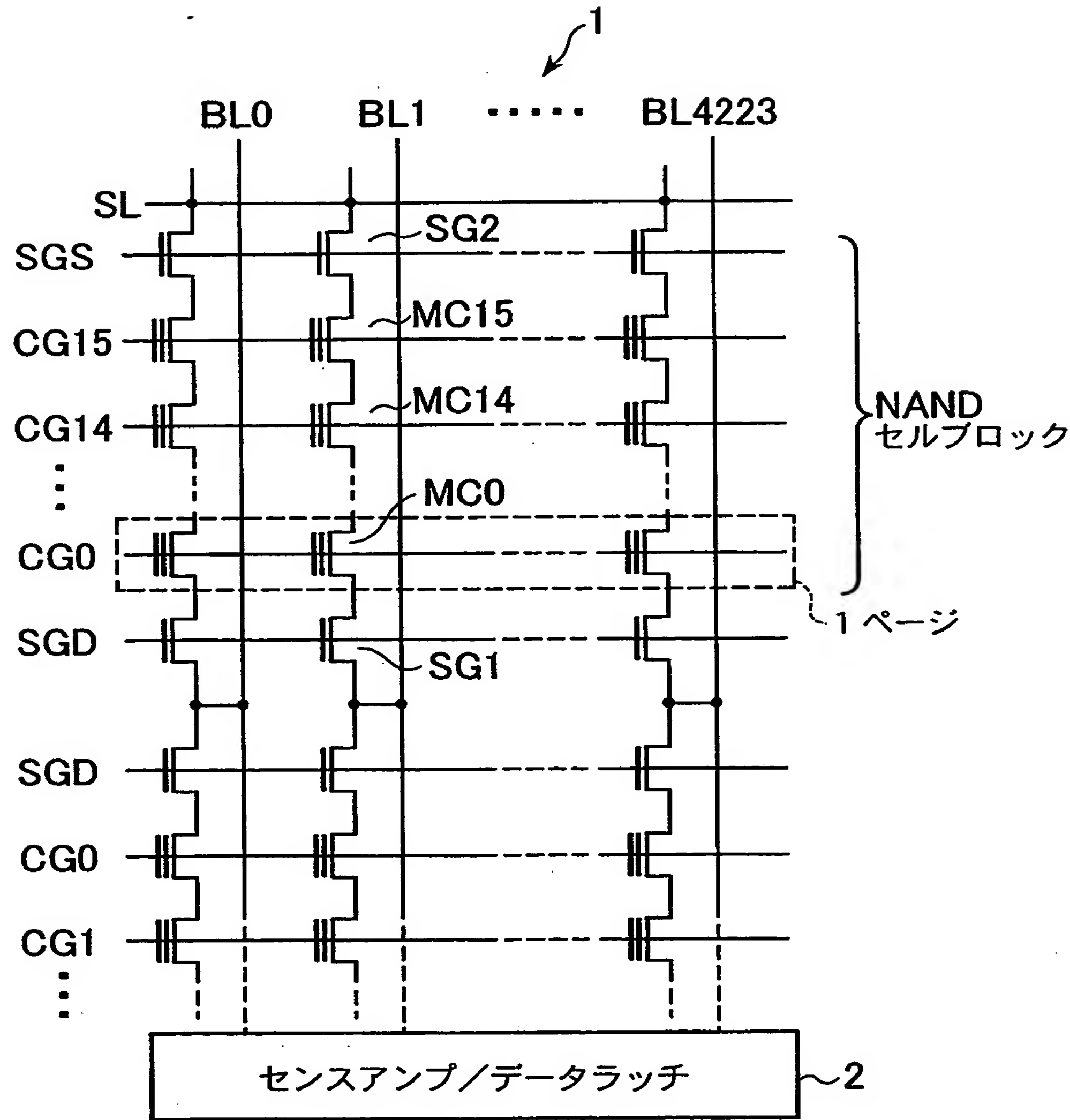


【書類名】 図面

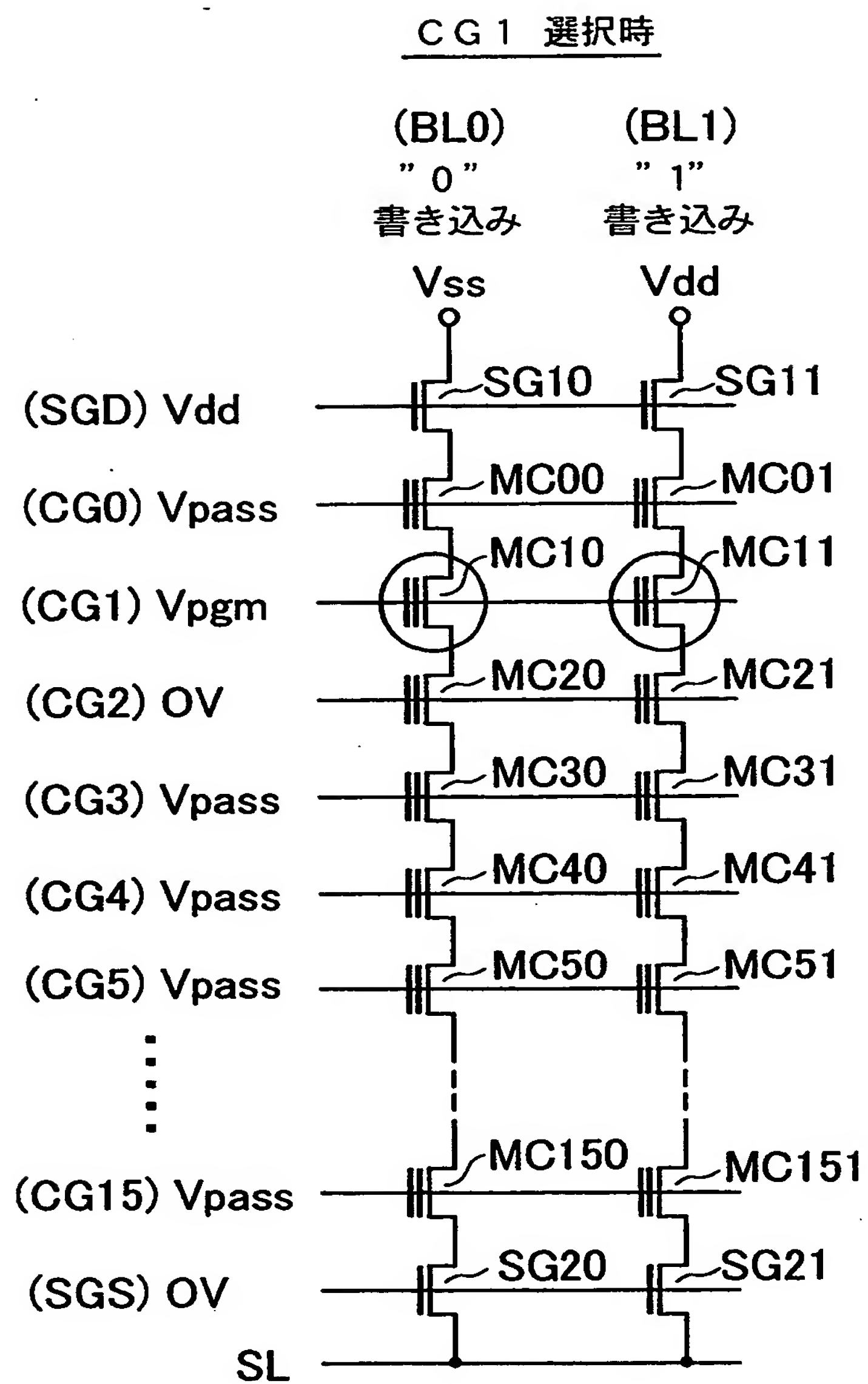
【図 1】



【図 2】

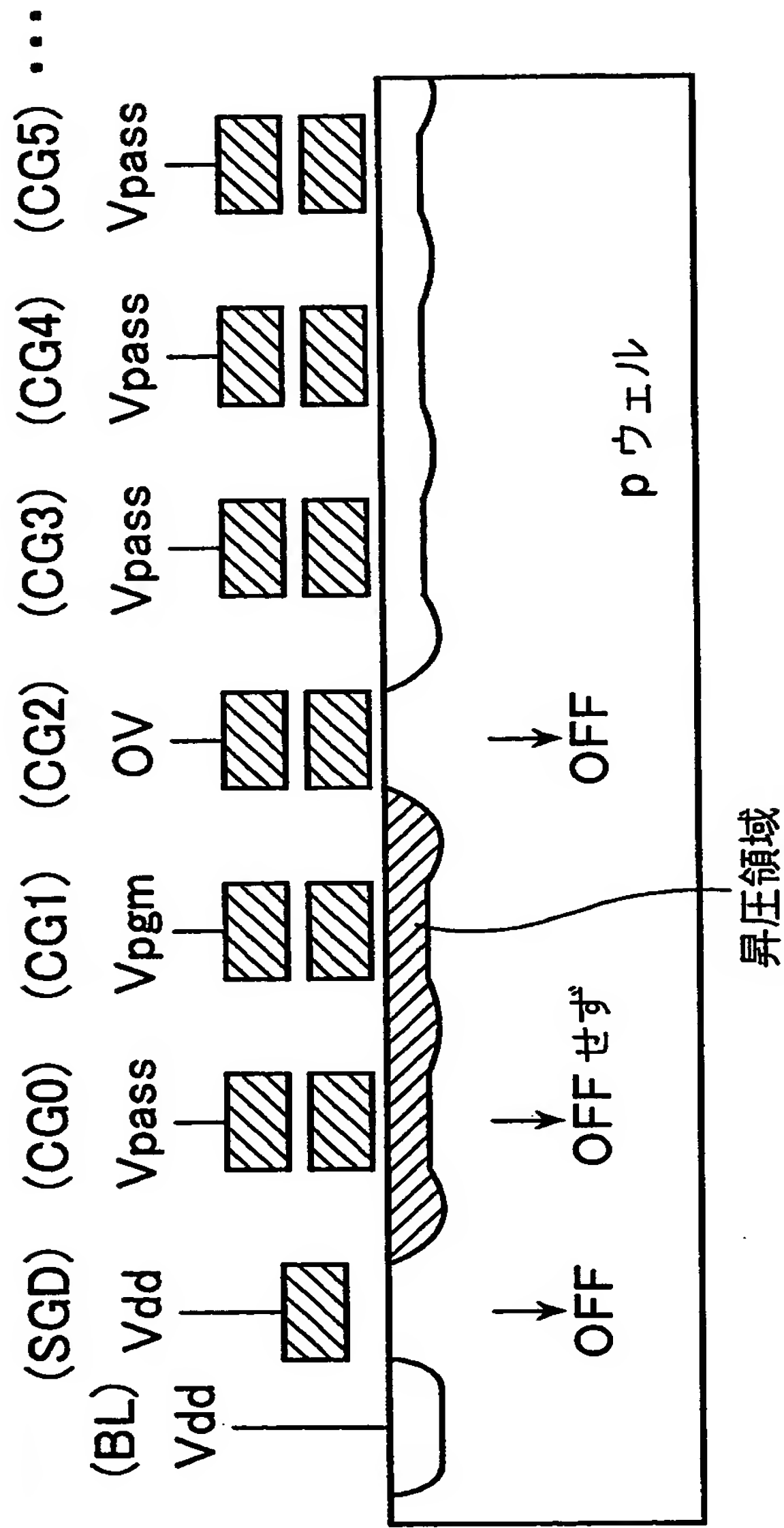


【図 3】



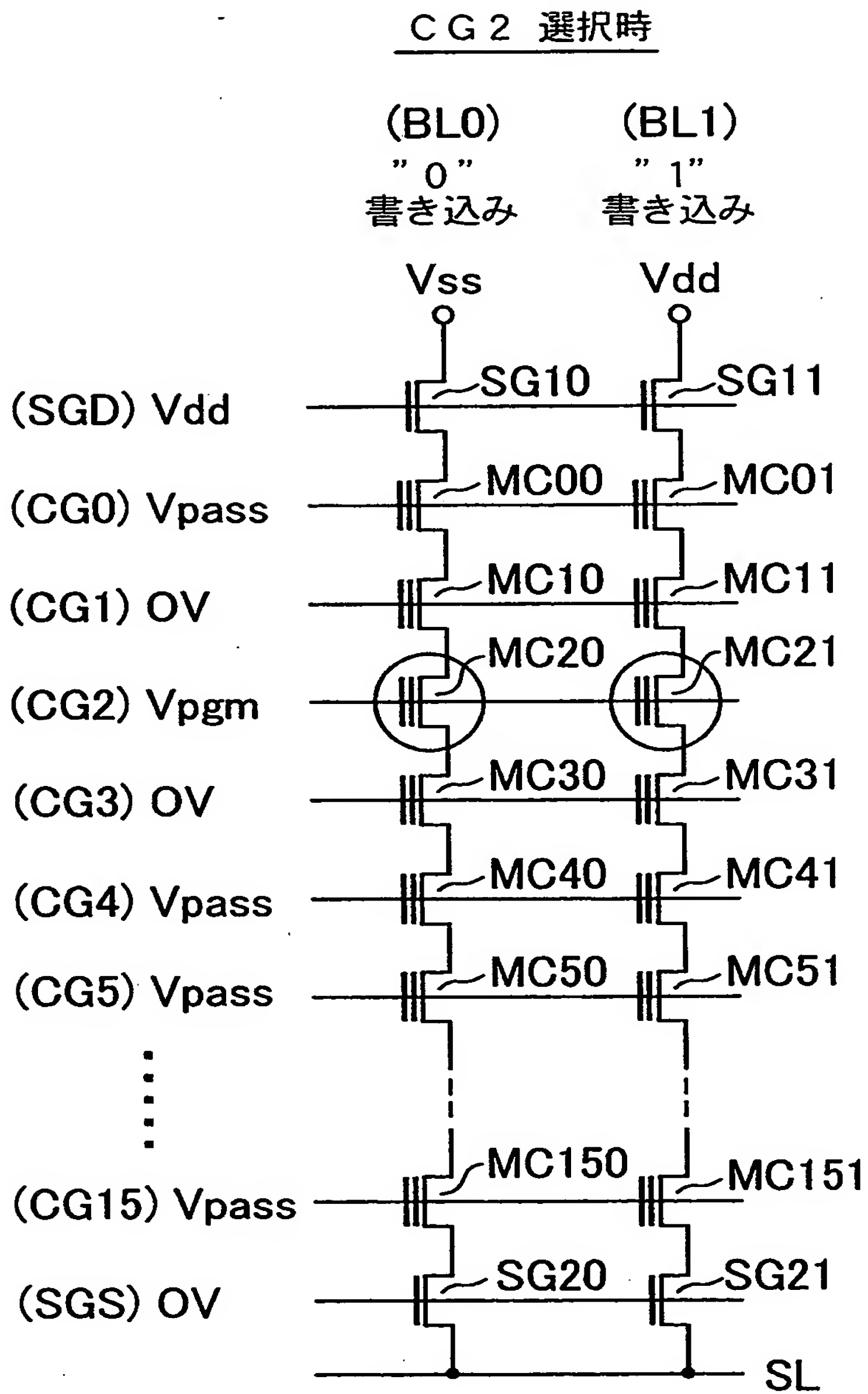
【図 4】

CG1 選択時の "1" 書き込み

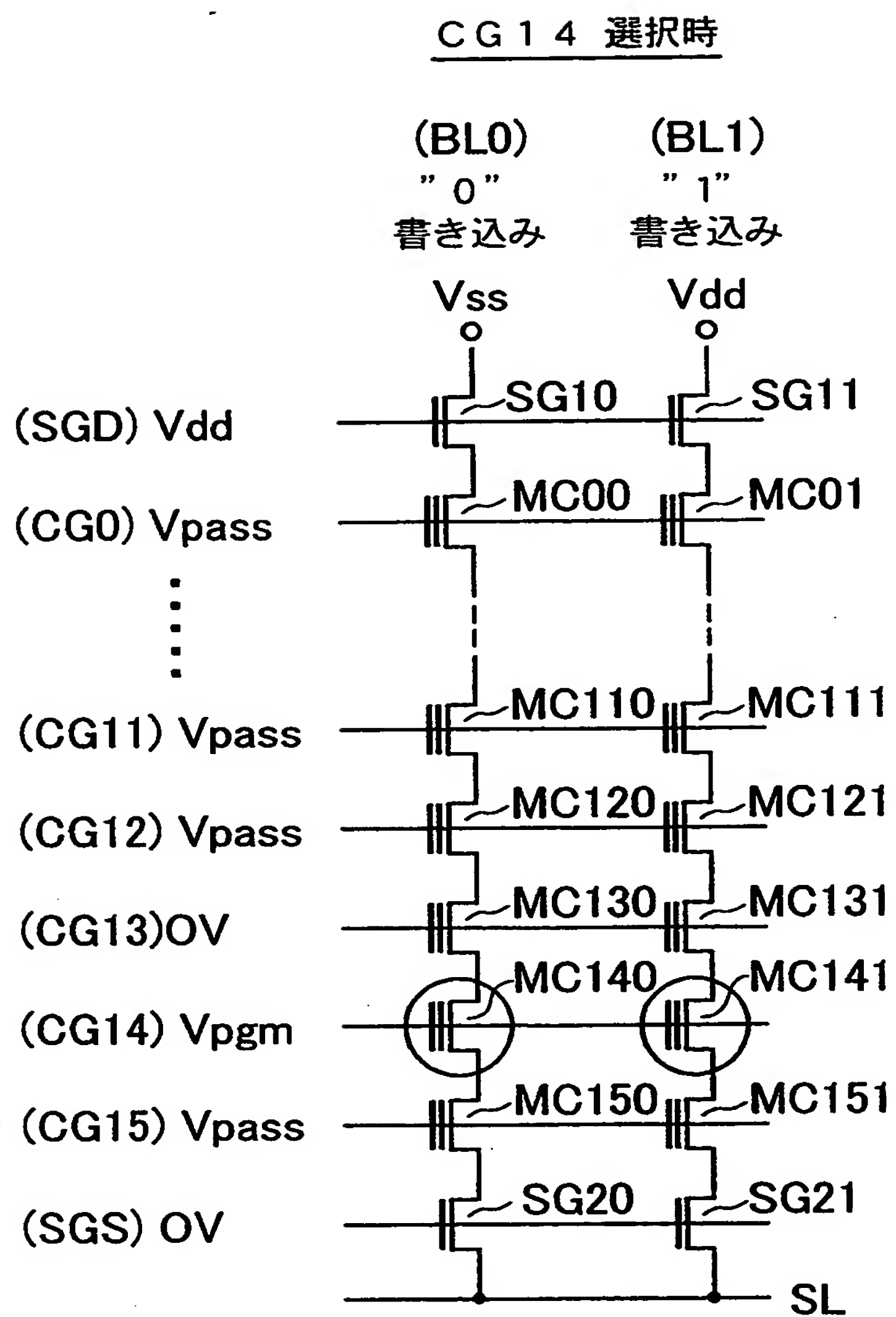




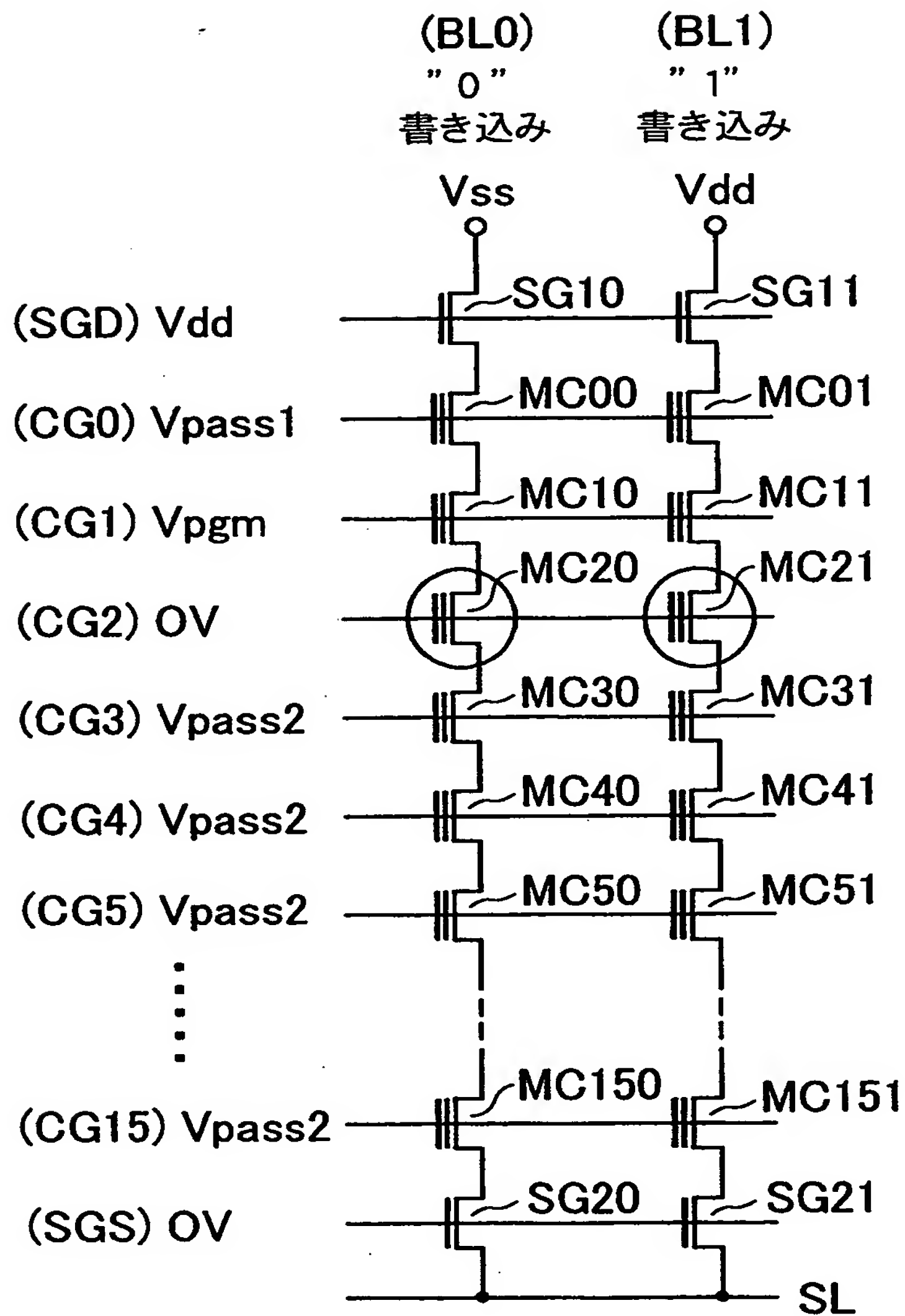
【図 5】



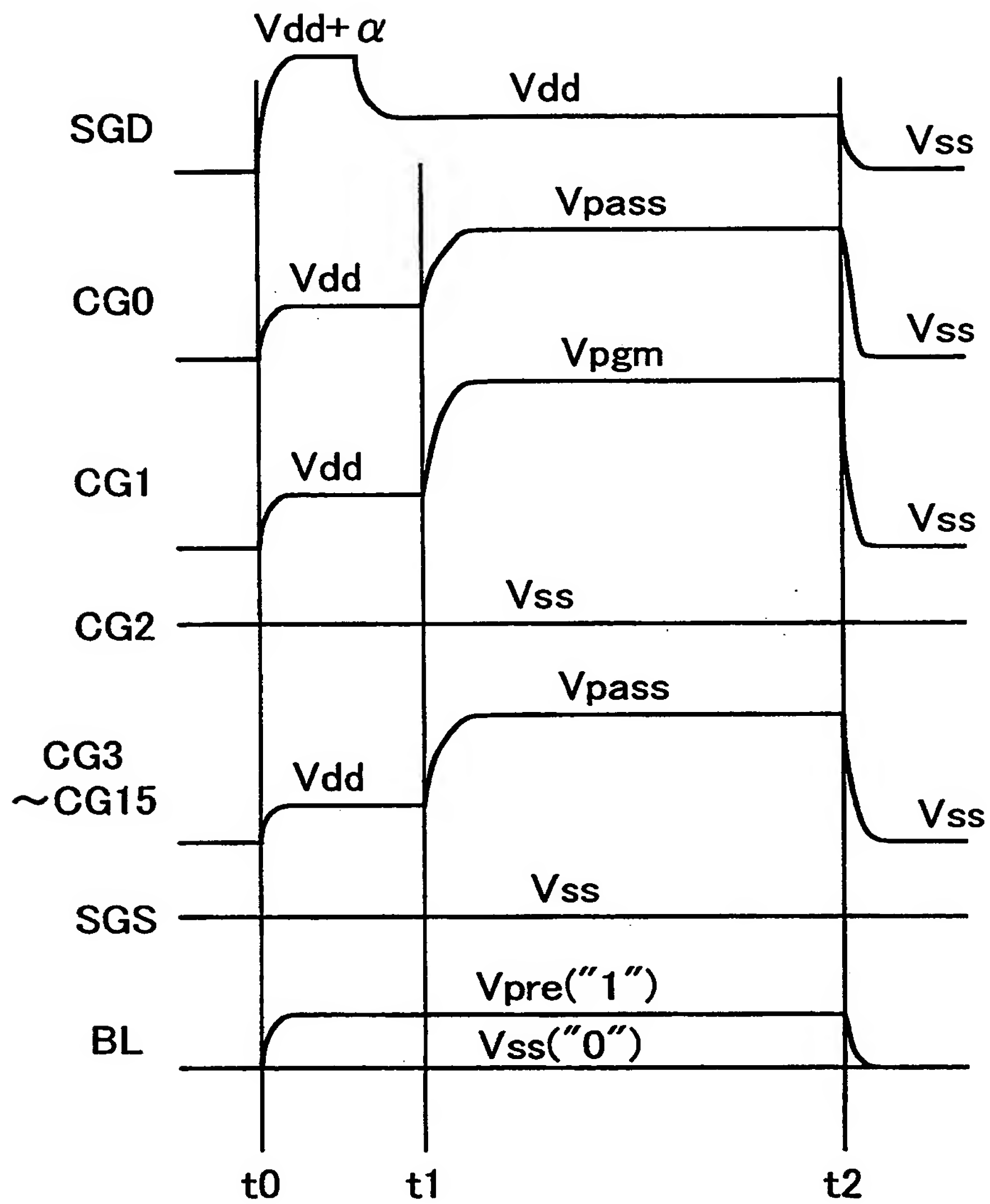
【図 6】



【図 7】

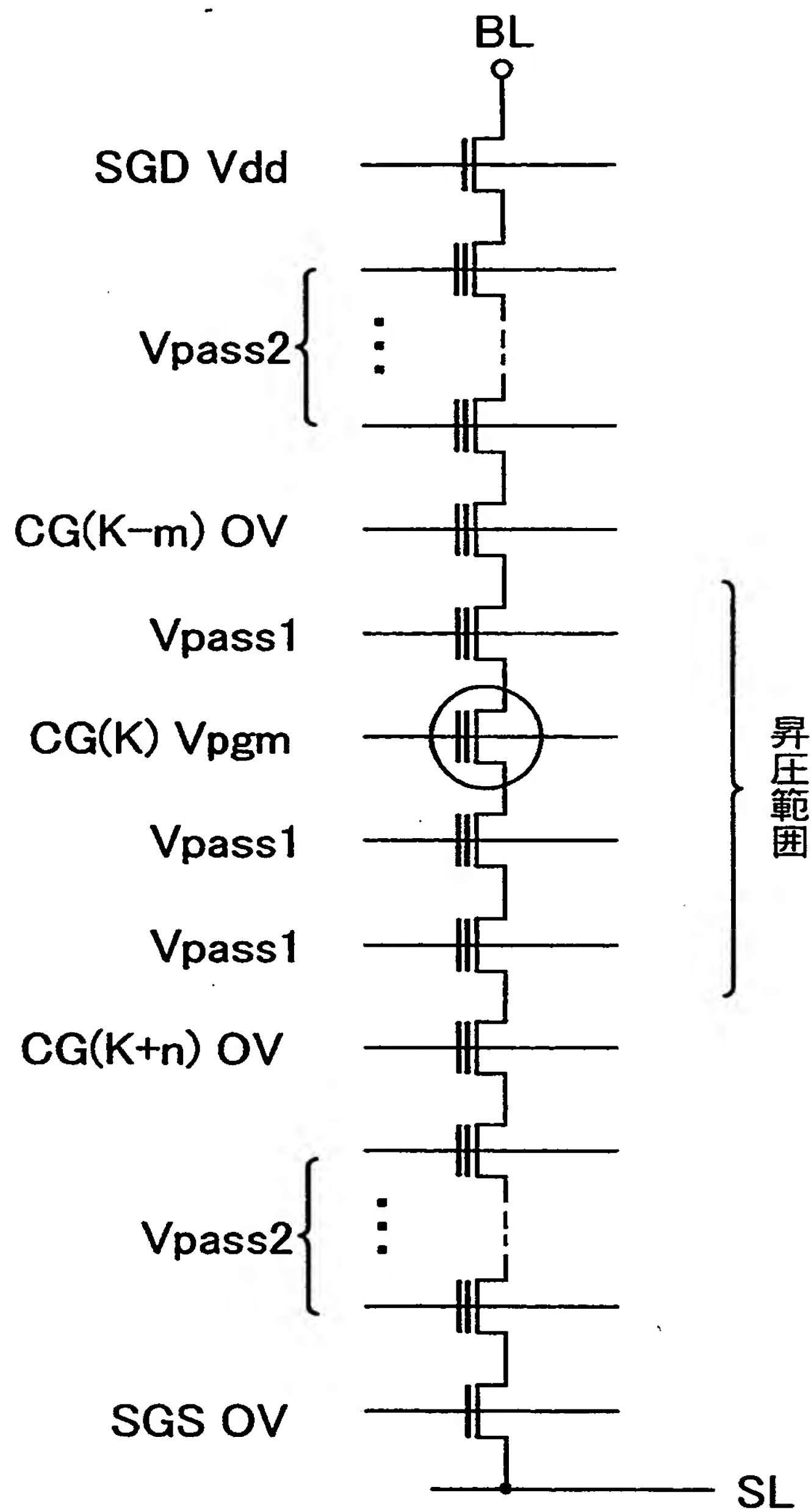


【図 8】

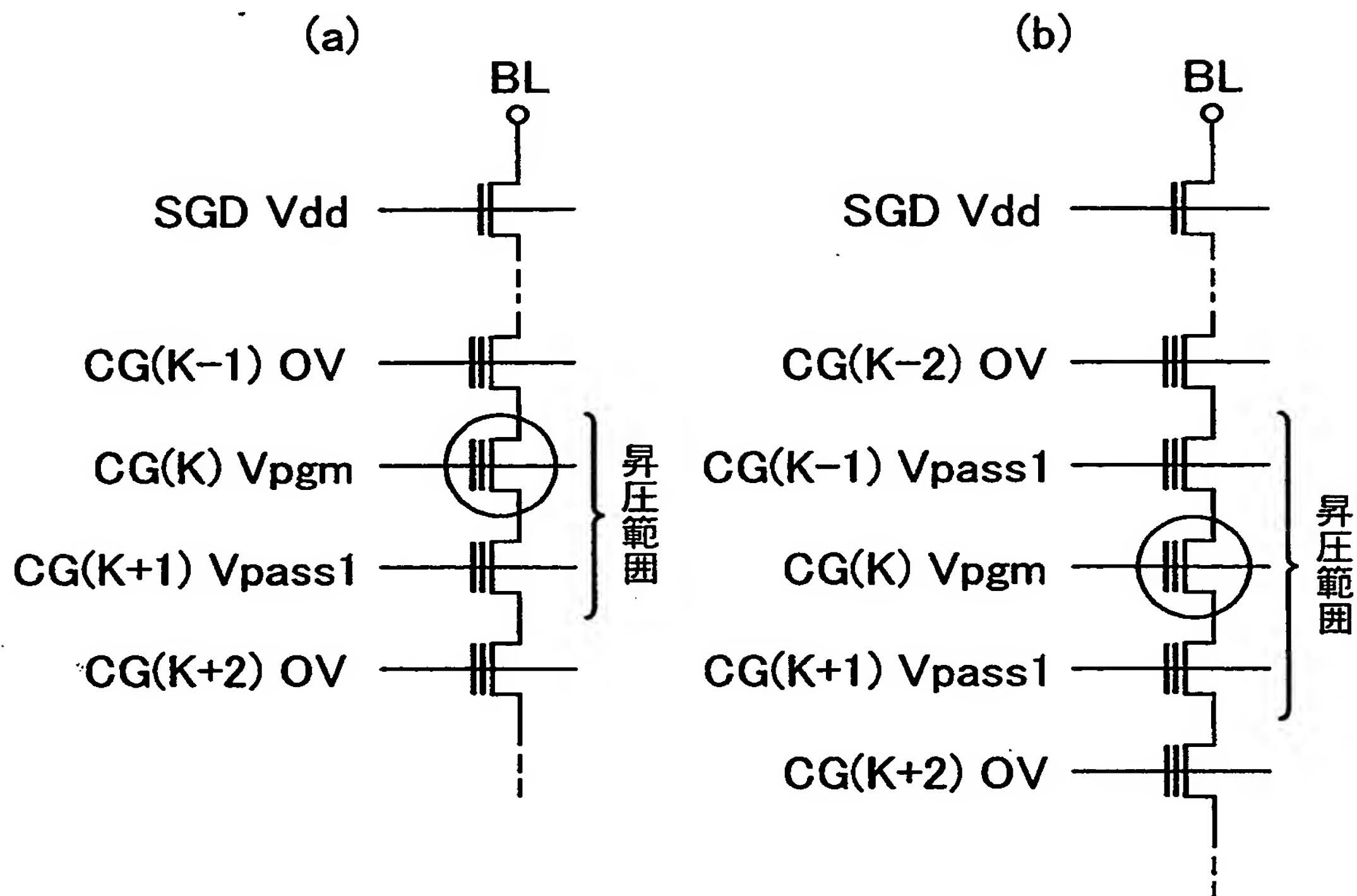




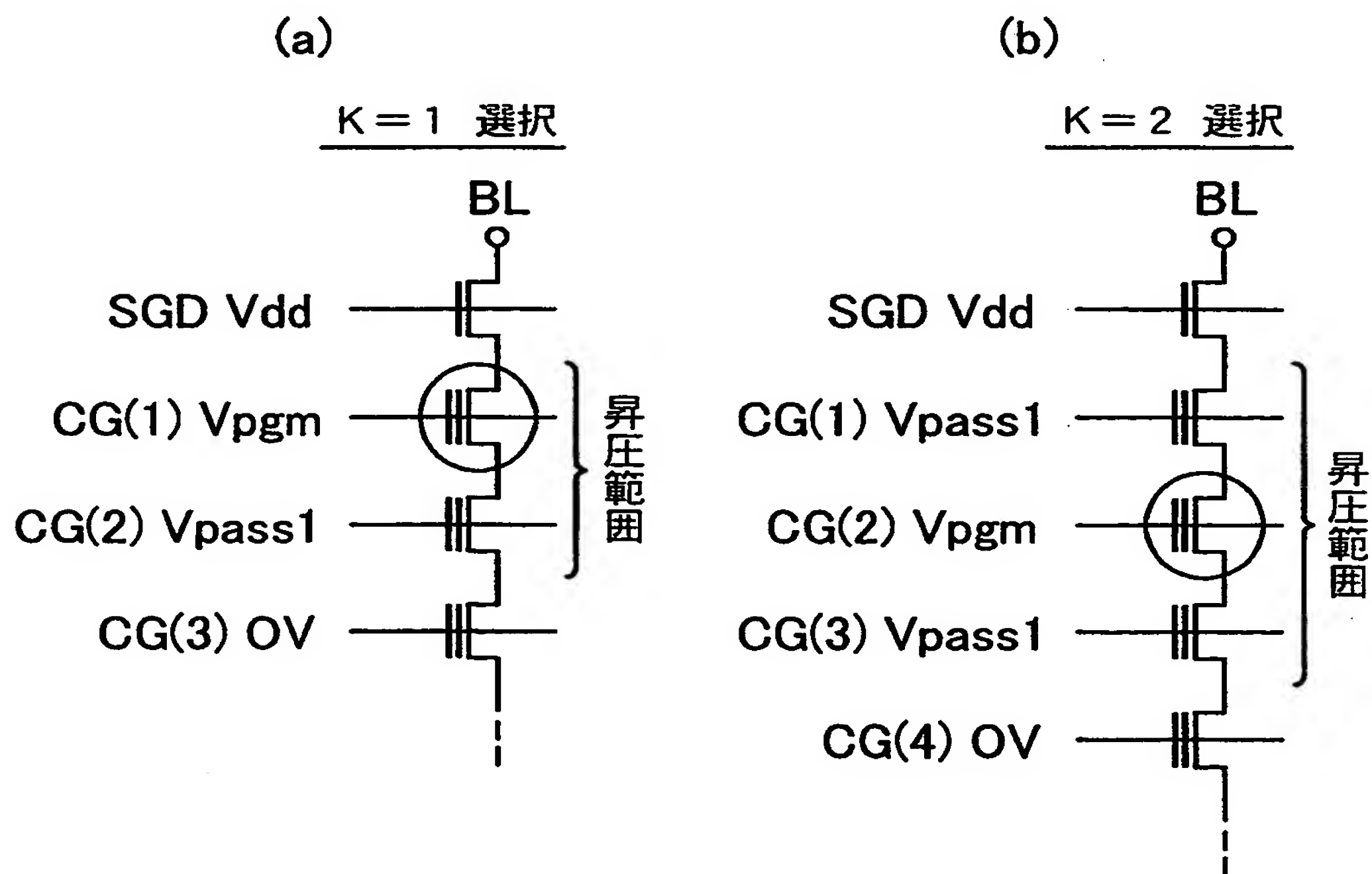
【図 9】



【図 1 0】

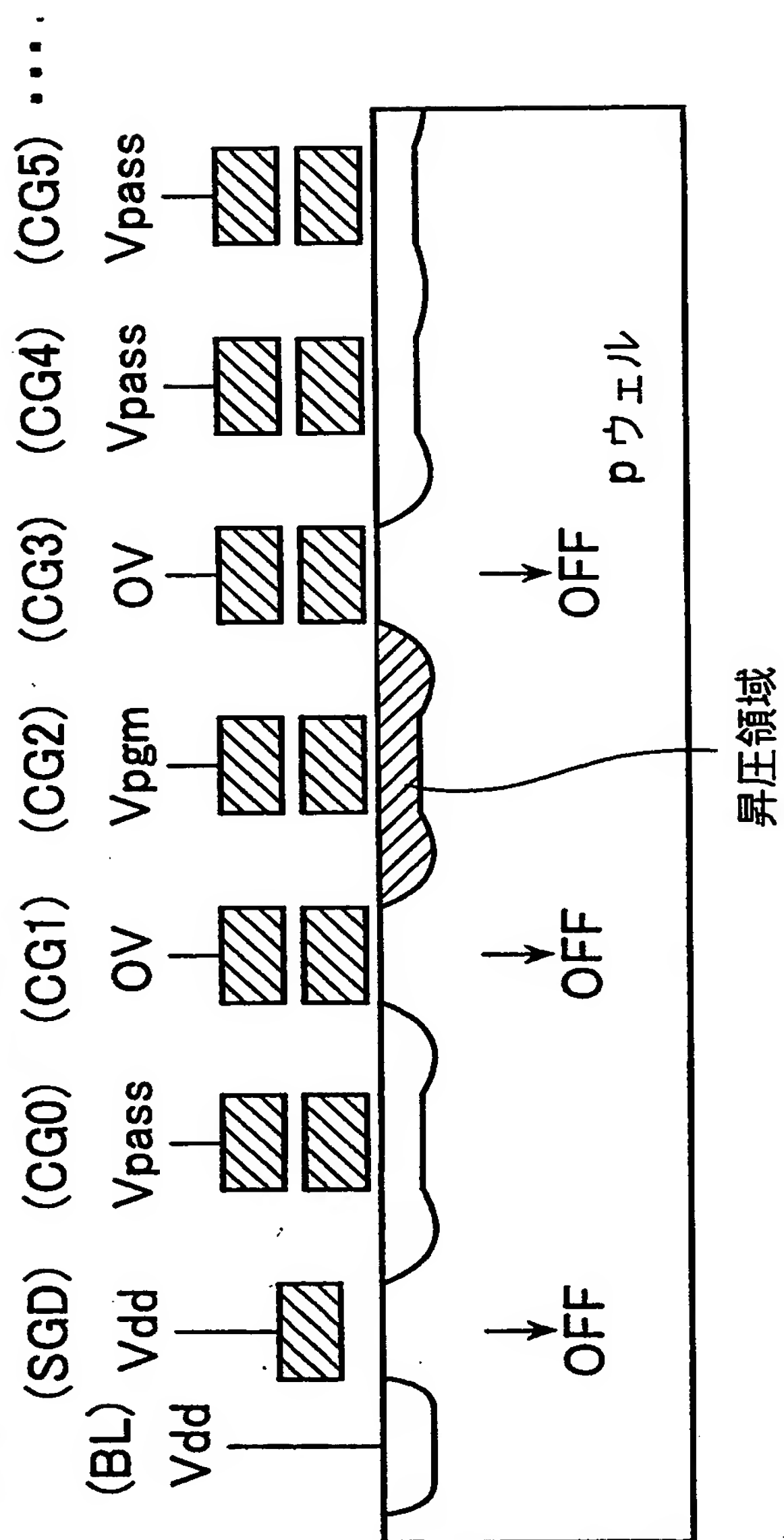


【図 1 1】

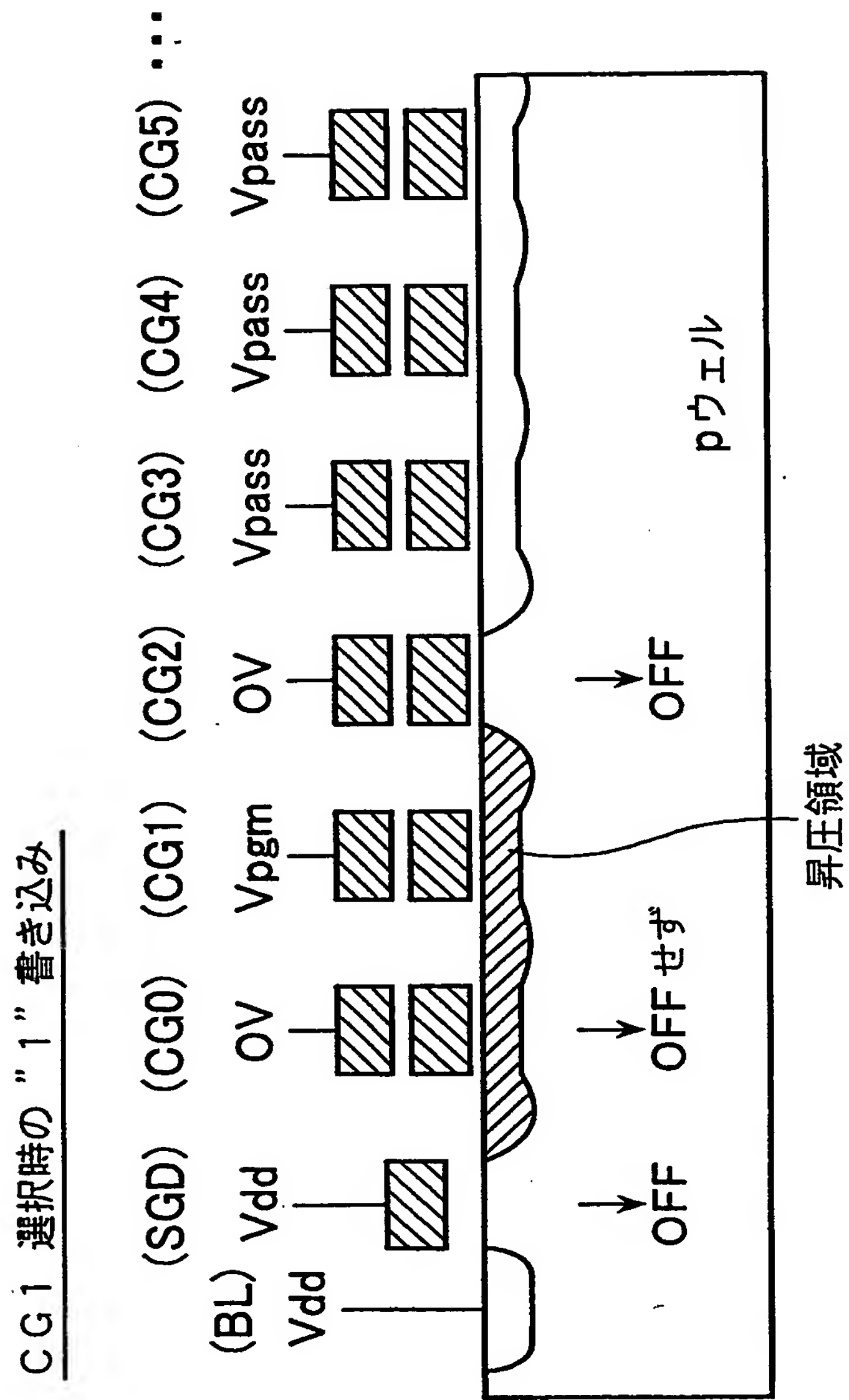


【圖 12】

## CG2 選択時の "1" 書き込み



【図 13】



【書類名】 要約書

【要約】

【課題】 誤書き込みを確実に防止できるようにした書き込みモードを有する不揮発性半導体記憶装置を提供する。

【解決手段】 メモリトランジスタが複数個直列接続され、一端が選択ゲートトランジスタ SG1 を介してビット線 BL に、他端が選択ゲートトランジスタ SG2 を介して共通ソース線 SL に接続されて NAND セルが構成される。NAND セルの選択されたメモリトランジスタの制御ゲートに書き込み電圧  $V_{pgm}$  を印加し、その両隣の非選択メモリトランジスタの制御ゲートに  $V_{ss}$  を印加して、選択されたメモリトランジスタでデータ書き込みを行う。この書き込み動作において、ビット線 BL 側から第 2 番目のメモリトランジスタが選択されたときに、ビット線 BL 側から 1 番目の非選択メモリトランジスタの制御ゲートには中間電圧  $V_{pass}$  を印加し、ビット線 BL 側から第 3 番目以降の非選択メモリトランジスタの制御ゲートにも中間電圧  $V_{pass}$  を印加する。

【選択図】 図 3



出 願 人 履 歴 情 報

識別番号 [000003078]

- |          |                  |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月22日      |
| [変更理由]   | 新規登録             |
| 住 所      | 神奈川県川崎市幸区堀川町72番地 |
| 氏 名      | 株式会社東芝           |
| 2. 変更年月日 | 2001年 7月 2日      |
| [変更理由]   | 住所変更             |
| 住 所      | 東京都港区芝浦一丁目1番1号   |
| 氏 名      | 株式会社東芝           |